

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. 7
G02F 1/1335

(11) 공개번호 특2001-0107725
(43) 공개일자 2001년12월07일

(21) 출원번호 10-2001-0028661
(22) 출원일자 2001년05월24일

(30) 우선권주장 2000-154698 2000년05월25일 일본 (JP)
2001-103494 2001년04월02일 일본 (JP)

(71) 출원인 세이코 엡슨 가부시키키가이샤
구사마 사부로
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 하나카와마나부
일본나가노켄스와시오와3초메3-5세이코엡슨가부시키키가이샤내
히나타쇼지
일본나가노켄스와시오와3초메3-5세이코엡슨가부시키키가이샤내

(74) 대리인 김창세

심사청구 : 있음

(54) 액정 장치, 그 제조 방법 및 전자 기기

요약

본 발명은, 액정 표시 장치에 있어서, 은 합금 등을 반사막 외에 배선으로 이용하는 경우에 있어서도 높은 신뢰성을 얻는 것을 목적으로 한다.

본 발명의 액정 표시 장치는, 기판(200, 300)이 밀봉재(110)에 의해서 소정의 간격을 유지하며 접합됨과 동시에, 해당 간격에 액정(160)이 봉입된 구성으로 되어 있다. 이 중, 기판(200)의 대향면에는 투명한 공통 전극(210)이 마련되는 한편, 기판(300)의 대향면에는 하지막(303)과, 은 단체(單體) 또는 은을 포함하는 은 합금으로 이루어지는 반사 패턴(312)과, 이것에 적층됨과 동시에 해당 에지 부분이 하지막(303)과 접하도록 패터닝된 투명 도전막(314)이 마련되어 있다. 여기서, 반사 패턴(312) 및 투명 도전막(314)으로 이루어지는 세그먼트 전극(310)은 공통 전극(210)과 직교하도록 배열되어 있다.

대표도
도 2

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예 1에 따른 액정 표시 장치의 전체 구성을 나타내는 사시도,

도 2는 동 액정 표시 장치를 구성하는 액정 패널을 X방향으로 절단한 경우의 구성을 나타내는 부분 단면도,

도 3은 동 액정 패널에 있어서의 화소 구성을 나타내는 평면도,

도 4는 동 액정 패널에 있어서, 드라이버 IC 칩의 실장 영역 근방을 나타내는 부분 단면도,

도 5는 동 액정 패널의 배면측 기판에 있어서 드라이버 IC 칩의 실장 영역 근방을 나타내는 부분 평면도,

도 6(a)~도 6(e)는 각각 동 액정 패널에 있어서의 배면측 기판의 제조 프로세스를 나타내는 단면도,

도 7은 은 및 알루미늄의 반사 특성을 도시한 도면,

도 8은 본 발명의 실시예 2에 따른 액정 패널의 구성을 나타내는 사시도,

도 9는 동 액정 패널에 있어서 드라이버 IC 칩 주변의 배선 레이아웃을 나타내는 평면도,

도 10은 본 발명의 실시예 2의 변형예에 따른 액정 패널의 구성을 나타내는 사시도,

도 11은 본 발명의 실시예 3에 따른 액정 표시 장치를 구성하는 액정 패널을 X방향으로 절단한 경우의 구성을 나타내는 부분 단면도,

도 12는 동 액정 패널에 있어서 드라이버 IC 칩의 실장 영역 근방을 나타내는 부분 단면도,

도 13(a)~도 13(e)는 각각 동 액정 패널에 있어서의 배면측 기판의 제조 프로세스를 나타내는 단면도,

도 14(a)는 본 발명의 실시예 4에 따른 액정 표시 장치를 구성하는 액정 패널의 화소 구성을 나타내는 평면도,

도 14(b)는 도 14(a)에 있어서의 A-A' 선 단면도,

도 15(a)~도 15(e)는 각각 동 액정 패널에 있어서의 배면측 기판의 제조 프로세스를 도시하는 도면,

도 16(f) 및 도 16(g)는 각각 동 액정 패널에 있어서의 배면측 기판의 제조 프로세스를 도시하는 도면,

도 17(h) 및 도 17(i)는 각각 동 액정 패널에 있어서의 배면측 기판의 제조 프로세스를 도시하는 도면,

도 18은 본 발명의 실시예에 따른 액정 패널을 적용한 전자 기기의 일례인 퍼스널 컴퓨터의 구성을 나타내는 사시도,

도 19는 동 액정 패널을 적용한 전자 기기의 일례인 휴대 전화의 구성을 나타내는 사시도,

도 20은 동 액정 패널을 적용한 전자 기기의 일례인 디지털 스틸 카메라의 배면측의 구성을 나타내는 사시도.

도면의 주요 부분에 대한 부호의 설명

100 : 액정 패널 110 : 밀봉재

112 : 봉지재 114 : 도전성 입자(도통재)
 122, 124, 126 : 드라이버 IC 칩 129 : 돌기 전극(범프)
 130, 140 : 접착재 134, 144 : 도전성 입자
 150 : FPC 기판 160 : 액정
 200 : 기판(제 2 기판) 202 : 차광막
 204 : 컬러 필터 208 : 배향막
 210 : 공통 전극 300 : 기판(제 1 기판)
 303 : 하지막 310 : 세그먼트 전극
 312 : 반사 패턴 314 : 투명 전극
 307 : 보호막(청색 성분의 광을 반사하는 반사층)
 308 : 배향막 309 : 개구부
 310 : 세그먼트 전극 312 : 투명 전극
 314 : 반사 패턴 320 : TFD(액티브 소자)
 350, 360, 370 : 배선 352, 362, 372 : 반사성 도전막
 354, 364, 374 : 투명 도전막 1100 : 퍼스널 컴퓨터
 1200 : 휴대 전화 1300 : 디지털 스틸 카메라

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 은 합금 등을 이용하여 광(光)을 반사하는 반사형 또는 반투과 반반사형의 액정 장치, 그 제조 방법, 및 해당 액정 장치를 표시부에 이용한 전자 기기에 관한 것이다.

주지하고 있는 바와 같이, 액정 표시 장치는 액정 그 자체가 발광하는 것은 아니며, 단지 광의 편광 상태를 제어함으로써 표시를 하는 것이다. 이 때문에, 액정 표시 장치에는 패널에 대하여 반드시 어떠한 형태로 광이 입사되는 구성이 필요하게 되고, 이 점에서 다른 표시 장치, 예컨대 전자 발광(electroluminescence) 장치나 플라즈마 디스플레이 등과 크게 다르다.

그런데, 액정 표시 장치는 광원을 패널의 이면측에 배치하여, 그 광이 패널을 통과해 관찰자에게 시인(視認)되는 투과형과, 광원을 패널의 전면측에 배치하여(혹은 배치하지 않고), 전면으로부터의 입사광이 패널에 의해 반사되어서 관찰자에게 시인되는 반사형의 2가지 유형으로 크게 나뉘어진다.

이 중, 투과형은, 패널의 이면측에 배치되는 광원(이하, "백 라이트" 라고 함)으로부터 발생한 빛이, 도광판에 의해서 패널 전체로 도입된 후, 편광판→배면측 기관→전극→액정→전극→전면측 기관→편광판이라고 하는 경로를 거쳐 관찰자에게 시인된다. 이에 반하여 반사형은, 패널에 입사된 광이 편광판→전면측 기관→전극→액정→전극까지 도달하면, 반사층에 의해 반사되어 지금까지 온 경로를 역으로 경유하여 관찰자에게 시인된다. 이와 같이, 반사형에 있어서는 광의 입사 경로·반사 경로라고 하는 2중의 경로를 갖기 때문에, 각 부분에 있어서의 광 손실이 크다. 이 때문에, 투과형에 비해서, 환경으로부터의 채광(외광)량이 패널의 이면측에 배치되는 광원만큼 많지 않기 때문에, 관찰자에게 시인되는 광량이 적어지게 되고, 그 결과 표시 화면이 어둡게 된다고 하는 결점이 있다. 그러나, 반사형은 일광(日光)에 노출되는 옥외에서도 시인성이 높다는 점이나, 광원이 없어도 표시가 가능하다고 하는 점 등, 투과형과 비교하여 특기할만한 이점을 많이 갖고 있다. 이 때문에, 반사형의 액정 표시 장치는 휴대형 전자 기기 등의 표시부로서 널리 이용되고 있다.

단, 반사형에 있어서는, 환경에서의 채광이 거의 없는 경우, 관찰자가 표시를 시인할 수 없다고 하는 본질적인 결점을 갖는다. 그래서, 최근에는 패널의 배면에 백 라이트를 마련함과 동시에, 반사층을, 전면(前面)으로부터의 광을 반사시키는 것 뿐만 아니라, 배면으로부터의 광을 일부 투과시키는 구성으로 한 반투과 반반사형인 것도 등장하고 있다. 이 반투과 반반사형에 있어서는, 외광이 거의 없는 경우에는 백 라이트를 점등시켜서 투과형으로 되고, 이에 따라 표시의 시인성이 확보되는 한편, 외광이 충분히 있는 경우에는 백 라이트를 소등시켜 반사형으로 되고, 이에 따라 저소비 전력을 도모하는 구성으로 되어 있다. 즉, 외광의 강약에 따라서 투과형 또는 반사형을 선택함으로써, 표시의 시인성을 확보함과 동시에 저소비 전력을 도모하는 구성으로 되어 있다.

그런데, 반사형이나 반투과 반반사형에 있어서, 반사층의 구성 재료로서, 일반적으로는 알루미늄이 이용되고 있었지만, 최근에는 반사율을 향상시켜 밝은 표시를 얻기 위해, 은 단체 또는 은을 주성분으로 하는 은 합금(이하, 「은 합금 등」이라고 함)을 이용하는 것이 검토되고 있다.

여기서, 구성의 간략화를 도모하기 위해, 액정에 인가하기 위한 한쪽 전극을 반사층과 겸용하는 구성은 바람직하지 못하다. 이것은, 다른쪽 전극에는 투명성이 요구되기 때문에 ITO(Indium Tin Oxide) 등과 같은 투명 도전 재료가 이용되지만, 한쪽 전극에 은 합금 등을 이용하는 구성으로 하면, 이종(異種) 금속 사이에 액정을 유지시킴으로써, 극성의 편향이 발생하기 때문이다. 또한, 액정과 은 합금 등의 사이에 배향막만이 개재되는 구성에서는, 은 합금 등으로부터의 불순물이 배향막을 통과해 액정층으로 용출되어, 액정 자체를 열화시킬 가능성도 지적되고 있다.

이 때문에, 반사층이 마련되는 한쪽 기관의 전극은, 은 합금 등과 겸용할 수 없으며, 다른쪽 기관의 전극으로서 이용되는 투명 도전 재료와 동일 재료를 이용할 필요가 있다. 그 결과, 반사층이 마련되는 한쪽 기관에는 반사층으로서 이용하는 은 합금 등과, 전극으로서 이용하는 투명 도전 재료의 적어도 2개 금속이 이용되게 된다.

그런데, 은 합금 등은 반사율 이외에 도전성에 있어서도 우수하기 때문에, 기관의 배선층으로서 이용하는 것도 검토되고 있다. 이와 같이 반사층으로서 이용하는 은 합금 등을 배선층에도 이용할 경우, 해당 은 합금 등과, 전극으로서 이용하는 투명 도전 재료를 접촉시켜 양자를 전기적으로 접속하지 않으면 안된다.

그러나, 은 합금 등은 다른 재료와의 밀착성이 부족하기 때문에, 기계적인 마찰로 인해 손상되거나, 그 계면으로부터 침입되는 수분에 의해 부식·박리 등이 발생하게 되어, 그 결과 신뢰성이 높은 액정 표시 장치를 실현하기 어렵다고 하는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

그래서, 본 발명은 은 합금 등을 반사층 이외에 배선층으로 이용하는 경우에 있어서도, 신뢰성이 높은 액정 표시 장치, 그 제조 방법 및 전자 기기를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

본 발명의 일 실시예에 따른 액정 장치는, 제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치에 있어서, 상기 제 1 기판에 마련된 하지막과, 상기 하지막 상에 형성되고, 은을 포함하는 반사성 도전막과, 상기 반사성 도전막에 적층됨과 동시에, 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 구비하는 구성으로 되어 있다. 이 구성에 따르면, 반사성 도전막은, 금속 산화물막에 의해 덮여짐과 동시에, 금속 산화물막의 에지 부분이 하지막에 접하도록 패터닝되기 때문에, 금속 산화물막이 형성된 후에는 반사성 도전막의 표면이 노출되는 일이 없어지게 된다. 이 때문에, 은을 포함하는 반사성 도전막의 신뢰성이 향상되게 된다.

이 구성에 있어서의 하지막은, 금속 산화물을 포함하는 것이 바람직하다. 이렇게 하면, 반사성 도전막은 금속 산화물 사이에서 유지되게 된다. 금속 산화물끼리의 밀착성은 양호하기 때문에, 금속 산화물을 포함하는 하지막과 반사성 도전막에 적층되는 금속 산화물막과의 계면을 거쳐 수분 등이 반사성 도전막에 침입하기 어렵게 된다.

그런데, 은을 포함하는 반사성 도전막의 파장/반사율의 특성은, 일반적으로 이용되는 알루미늄 정도로 평탄한 것이 아니라, 저파장으로 됨에 따라서 반사율이 저하하는 경향이 있다(도 7 참조). 이 때문에, 은을 포함하는 반사성 도전막에 의한 반사광은 청색 성분의 광이 적어지게 되어, 결국 황색기를 띠게 되어 버린다. 그래서, 반사성 도전막의 상면에 청색 성분의 광을 반사시키는 반사층을 갖는 구성이 바람직하다. 이 구성에 의해, 청색 성분의 광은 반사성 도전막에 의해 반사되기 전에 반사층에 의해서 반사되는 성분이 많아지기 때문에, 해당 반사층과 은을 포함하는 반사성 도전막을 합친 반사광에 황색기를 띠게 되는 것이 방지되게 된다.

그리고, 본 발명의 일 형태에 있어서의 전자 기기는 상기 액정 장치를 구비하기 때문에, 신뢰성이 향상되게 된다.

또한, 본 발명의 일 실시예에 따른 액정 장치는, 제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치에 있어서, 상기 제 1 기판에 마련된 제 1 배선과, 상기 제 2 기판에 마련된 도전막과, 상기 제 1 배선과 상기 도전막을 접속하는 도통재를 갖고, 상기 제 1 배선은, 하지막, 상기 하지막 상에 형성되어 은을 포함하는 금속막, 상기 금속막에 적층됨과 동시에 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 포함하는 구성으로 되어 있다. 이 구성에 따르면, 제 2 기판에 마련된 도전막은, 제 1 기판에 마련되는 제 1 배선에 도통재에 의해서 접속되기 때문에, 배선이 제 1 기판측으로 놓여지게 된다. 또한, 이 제 1 배선은 은을 포함하는 금속막을 갖기 때문에, 저(低) 저항화가 도모된다. 또한, 은을 포함하는 금속막은, 금속 산화물막에 의해 덮여짐과 동시에, 금속 산화물막의 에지 부분이 하층에 마련된 하지막에 접하도록 패터닝되기 때문에, 금속 산화물막이 형성된 뒤에는 금속막의 표면이 노출되는 일이 없어지게 된다. 이 때문에, 은을 포함하는 금속막의 신뢰성이 향상되게 된다.

또한, 이 구성에 있어서, 하지막은 금속 산화물을 포함하는 구성이 바람직하다. 상술한 바와 같이, 수분 등이 반사성 도전막에 침입하기 어렵게 되기 때문이다. 또한, 이 구성에 있어서, 금속막은 상기 도통재와의 접속 부분을 피해서 형성되어 있는 구성이 바람직하다. 은 합금 등은 밀착성이 부족하므로, 응력이 가해지는 부분에 마련하는 것은 바람직하지 못하기 때문이다.

한편, 이 액정 장치에 있어서, 상기 제 1 기판에 마련된 화소 전극과, 상기 화소 전극에 접속된 액티브 소자와, 상기 제 1 기판에 마련됨과 동시에, 상기 제 1 배선에 접속되어, 상기 액정에 전압을 인가하기 위한 신호선과, 상기 제 1 기판에 마련된 화소 전극과, 상기 화소 전극에 일단부가 접속된 액티브 소자를 갖고, 상기 신호선은, 상기 액티브 소자의 타단부에 접속되어 있는 구성이 바람직하다. 이 구성에 따르면, 화소 전극은 액티브 소자에 의해 분리 독립적으로 구동된다.

또한, 이 액정 장치에 있어서, 상기 액정을 구동하는 드라이버 IC 칩을 더 구비하고, 상기 드라이버 IC 칩은 상기 제 1 배선에 출력 신호를 공급하는 출력측 범프를 포함하며, 상기 출력측 범프는 상기 제 1 배선에 접속되어 있는 구성이 바람직하다. 이와 같이 제 1 배선에 출력 신호를 공급하는 드라이버 IC 칩을 실장하면, 외부 회로와의 접속 부품수를 감소시키는 것이 가능하게 된다.

여기서, 드라이버 IC 칩이 실장되는 경우, 제 1 배선 중 금속막은, 상기 출력측 범프와의 접속 부분을 피해서 형성되어 있는 구성이 바람직하다. 이는 상술한 바와 같이 은 합금 등이 밀착성에 있어서 떨어지므로, 응력이 가해지는 부분에 마련하는 것은 바람직하지 못하기 때문이며, 특히 드라이버 IC 칩을 수리하기 위해서 해당 칩을 제 1 기판으로부터 박리시켰을 때, 은을 포함하는 금속막도 박리되어 버릴 가능성이 있기 때문이다.

마찬가지로, 이 액정 장치에 있어서, 상기 제 1 기판에 마련된 제 2 배선과, 상기 액정을 구동하는 드라이버 IC 칩을 더 구비하고, 상기 드라이버 IC 칩은 상기 제 2 배선으로부터 입력 신호를 입력하는 입력측 범프를 포함하며, 상기 입력측 범프는 상기 제 2 배선에 접속되어 있고, 상기 제 2 배선은 하지막, 상기 하지막 상에 형성되어 은을 포함하는 금속막, 상기 금속막에 적층됨과 동시에 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 포함하는 구성도 바람직하다. 이 구성에 따르면, 제 2 배선은 은을 포함하는 금속막을 갖기 때문에, 저 저항화를 도모할 수 있음과 동시에, 해당 금속막의 표면이 노출되는 일이 없기 때문에, 높은 신뢰성을 확보하는 것이 가능하게 된다. 여기서, 드라이버 IC 칩이 실장되는 경우, 제 2 배선 중, 금속막은 상기 입력측 범프와의 접속 부분을 피해서 형성되어 있는 구성이 바람직하다. 드라이버 IC 칩을 수리할 때, 은을 포함하는 금속막도 박리되어 버리는 것을 방지하기 위함이다.

또한, 상기 드라이버 IC 칩에 입력 신호를 공급하는 외부 회로 기판을 더 구비하며, 상기 외부 회로 기판과 상기 제 2 배선이 접속되어 있고, 상기 금속막은 상기 외부 회로 기판과의 접속 부분을 피해서 형성되어 있는 구성도 바람직하다. 외부 회로 기판을 수리할 때, 은을 포함하는 금속막도 박리되어 버리는 것을 방지하기 위함이다.

다음에, 본 발명의 일 실시예에 따른 액정 장치는, 제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치에 있어서, 상기 제 1 기판에 마련되고, 상기 액정에 전압을 인가하기 위한 전극과, 상기 전극에 접속된 제 1 배선과, 상기 제 1 배선에 접속된 드라이버 IC 칩을 가지며, 상기 제 1 배선은 하지막, 상기 하지막 상에 형성되어 은을 포함하는 금속막, 상기 금속막에 적층됨과 동시에 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 포함하는 구성으로 되어 있다. 이 구성에 따르면, 제 1 배선은 도통성이 우수한 은을 포함하는 금속막을 갖기 때문에, 저 저항화를 도모할 수 있다. 또한, 은을 포함하는 금속막은 금속 산화물막에 의해 덮여짐과 동시에, 금속 산화물막의 에지 부분, 하층에 마련된 하지막에 접하도록 패터닝되기 때문에, 금속 산화물막이 형성된 뒤에는 금속막의 표면이 노출되는 일이 없어지게 된다. 이 때문에, 은을 포함하는 금속막의 신뢰성이 향상되게 된다.

이 구성에 있어서, 상기 금속막은, 상기 드라이버 IC 칩과의 접속 부분을 피해서 형성되어 있는 구성이 바람직하다. 드라이버 IC 칩을 수리할 때, 은을 포함하는 금속막도 박리되어 버리는 것을 방지하기 위함이다.

또한, 이 액정 장치에 있어서는, 상기 제 1 기판에 마련된 제 2 배선을 더 구비하고, 상기 드라이버 IC 칩은 상기 제 2 배선으로부터 입력 신호를 입력하는 입력측 범프를 포함하며, 상기 입력측 범프는 상기 제 2 배선에 접속되어 있고, 상기 제 2 배선은 하지막, 상기 하지막 상에 형성되어 은을 포함하는 금속막, 상기 금속막에 적층됨과 동시에 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 포함하는 구성이 바람직하다. 이 구성에 따르면, 제 1 배선 이외에, 제 2 배선에 관해서도 저 저항화가 도모되며, 또한 은을 포함하는 금속막의 표면이 노출되는 것이 방지된다.

또한, 이 구성에 있어서, 제 2 배선에 입력 신호를 공급하는 외부 회로 기판을 더 구비하고, 상기 금속막은 상기 외부 회로 기판과의 접속 부분을 피해서 형성되어 있는 구성이 바람직하다. 외부 회로 기판을 수리할 때, 은을 포함하는 금속막도 박리되어 버리는 것을 방지하기 위함이다.

또한, 본 발명의 일 실시예에 따른 액정 장치는, 제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치에 있어서, 상기 제 1 기판에 마련된 배선을 갖고, 상기 배선은 하지막, 상기 하지막 상에 형성된 금속막, 상기 금속막에 적층된 금속 산화물막을 포함하는 구성으로 되어 있다.

이 액정 장치에 있어서, 상기 하지막은 금속 산화물을 포함하는 구성이 바람직하며, 또한 상기 금속막은 은 단체, 또는 은을 포함하는 합금인 구성도 바람직하다. 또한, 이 액정 장치에 있어서, 상기 제 1 기판의 한 변측에 마련되어, 상기 제 2 기판과는 접치지 않는 제 1 연장 영역(extending region)과, 상기 제 1 기판에 있어, 상기 한 변과 교차하는 변측에 마련되고, 상기 제 2 기판과는 접치지 않는 제 2 연장 영역을 가지며, 상기 배선은 상기 제 1 연장 영역 및 제 2 연장 영역의 쌍방에 걸쳐 마련되어 있는 구성도 바람직하다.

한편, 본 발명의 일 실시예에 따른 액정 장치는, 제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치에 있어서, 상기 제 1 기판에 마련된 하지막과, 상기 하지막에 형성되고, 은을 포함하는 반사성 도전막과, 상기 반사성 도전막에 적층됨과 동시에 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 포함하는 제 1 투명 전극과, 상기 제 2 기판에 마련된 제 2 투명 전극을 갖고, 상기 제 1 투명 전극과 상기 제 2 투명 전극과의 교차 영역에 대응하여, 반투과부가 마련되어 있는 구성으로 되어 있다. 이 구성에 따르면, 은을 포함하는 반사성 도전막의 신뢰성을 확보할 수 있을 뿐만 아니라, 반투과 반반사형으로 하는 것이 가능하다.

또한, 본 발명의 일 실시예에 따른 액정 장치는, 제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치에 있어서, 상기 제 1 기판에 마련된 하지막과, 상기 하지막에 형성되고, 은을 포함하는 반사성 도전막과, 상기 반사성 도전막에 적층됨과 동시에 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 포함하는 제 1 투명 전극과, 상기 제 2 기판에 마련된 제 2 투명 전극을 갖고, 상기 제 1 투명 전극과 상기 제 2 투명 전극과의 교차 영역에 대응하여, 착색층이 마련되어 있는 구성으로 되어 있다. 이 구성에 따르면, 은을 포함하는 반사성 도전막의 신뢰성을 확보할 수 있고, 또한 컬러 표시가 가능하게 된다.

또한, 본 발명의 일 실시예에 따른 액정 장치의 제조 방법은, 제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치의 제조 방법에 있어서, 상기 제 1 기판에 하지막을 형성하는 공정과, 은을 포함하는 반사성 도전막을 상기 하지막 상에 형성하는 공정과, 상기 반사성 도전막에 에지 부분이 상기 하지막과 접하도록 금속 산화물막을 형성하는 공정을 구비한 것으로 되어 있다. 이 제조 방법에 따르면, 반사성 도전막은 금속 산화물막에 의해서 덮여짐과 동시에, 금속 산화물막의 에지 부분이 하지막에 접하도록 형성되기 때문에, 반사성 도전막의 표면이 노출되는 일이 없어지게 된다. 이 때문에, 은을 포함하는 반사성 도전막의 신뢰성이 향상되게 된다.

이 제조 방법에 있어서, 상기 하지막으로서 금속 산화물을 형성하는 것이 바람직하다. 이에 따라, 수분 등이 반사성 도전막에 침입하기 어렵게 된다.

또한, 이 제조 방법에 있어서, 상기 하지막 및 상기 금속 산화물막을 동시에 패터닝하는 공정을 더 갖는 것이 바람직하다. 이렇게 하면, 패터닝 공정이 겸용되는 만큼, 공정이 간략화된다.

본 발명의 상기 및 그 밖의 목적, 특징, 국면 및 이익 등은 첨부 도면을 참조로 하여 설명하는 이하의 상세한 실시예로부터 더욱 명백해질 것이다.

발명의 실시예

이하, 본 발명의 실시예에 대하여 도면을 참조하여 설명한다.

(실시예 1)

우선, 본 발명의 실시예 1에 관한 액정 표시 장치에 대하여 설명한다. 이 액정 표시 장치는, 외광이 많이 있는 경우에는 반사형으로서 기능하는 한편, 외광이 불충분한 경우에는 백 라이트를 점등시킴으로써 투과형으로서 기능하는 반투과 반 반사형이다. 도 1은 이 액정 표시 장치의 액정 패널의 구성을 나타내는 사시도이며, 도 2는 이 액정 패널을 X방향을 따라 절단한 경우의 구성을 나타내는 부분 단면도이다.

이들 도면에 도시된 바와 같이, 액정 표시 장치를 구성하는 액정 패널(100)은 관찰자측에 위치하는 전면측 기판(200)과, 그 배면측에 위치하는 배면측 기판(300)이, 스페이서를 접하는 도전성 입자(도통재)(114)가 혼입된 밀봉(seal)재(110)에 의해서 일정한 간격을 유지하면서 접합됨과 동시에, 이 간극에, 예컨대 TN(Twisted Nematic)형의 액정(160)이 봉입된 구성으로 되어 있다. 또, 밀봉재(110)는 전면측 기판(200)의 내주연을 따라 어느 한쪽의 기판에 형성되는데, 액정(160)을 봉입하기 위해서 그 일 부가 개구되어 있다. 이 때문에, 액정을 봉입한 후에 그 개구 부분이 봉지재(112)에 의해 봉지되어 있다.

그런데, 전면측 기판(200)에 있어 배면측 기판(300)과의 대향면에는, 복수의 공통(common) (주사) 전극(210)이 X(행) 방향으로 연장되어 형성되는 한편, 배면측 기판(300)에 있어 전면측 기판(200)과의 대향면에는, 복수의 세그먼트(데이터) 전극(310)이 Y(열) 방향으로 연장되어 형성되어 있다. 따라서, 본 실시예에서는, 공통 전극(210)과 세그먼트 전극(310)이 서로 교차하는 영역에서, 양 전극에 의해 액정(160)에 전압이 인가되기 때문에, 이 교차 영역이 서브 화소로서 기능하게 된다.

또한, 배면측 기판(300)에 있어 전면측 기판(200)으로부터 도출한 2 변에는, 공통 전극(210)을 구동하기 위한 드라이버 IC 칩(122)과, 세그먼트 전극(310)을 구동하기 위한 드라이버 IC 칩(124)이 각각 후술하는 바와 같이 COG(Chip On Glass) 기술에 의해 실장되어 있다. 또한, 이 2 변 중, 드라이버 IC 칩(124)이 실장되는 영역의 외측에는 FPC(Flexible Printed Circuit) 기판(150)이 접합되어 있다.

여기서, 전면측 기판(200)에 형성된 공통 전극(210)은 밀봉재(110)에 혼입된 도전성 입자(114)를 거쳐 배면측 기판(300)에 형성된 배선(제 1 배선)(350)의 한쪽 단부에 접속되어 있다. 한편, 배선(350)의 타단부는 드라이버 IC 칩(122)의 출력측 범프(돌기 전극)에 접속되어 있다. 즉, 드라이버 IC 칩(122)은 배선(350), 도전성 입자(114) 및 공통 전극(210)이라는 경로에 의해 공통 신호를 공급하는 구성으로 되어 있다. 또, 드라이버 IC 칩(122)의 입력측 범프와 FPC 기판(외부 회로 기판)(150) 사이의 배선(제 2 배선)(360)에 의해 접속되어 있다.

또한, 배면측 기판(300)에 형성된 세그먼트 전극(310)은 그대로 드라이버 IC 칩(124)의 출력측 범프에 접속되어 있다. 즉, 드라이버 IC 칩(124)은 세그먼트 전극(310)에 세그먼트 신호를 직접 공급하는 구성으로 되어 있다. 또, 드라이버 IC 칩(124)의 입력측 범프와 FPC 기판(150) 사이의 배선(제 2 배선)(370)에 의해 접속되어 있다.

또, 액정 패널에는, 실제로는 도 2에 도시된 바와 같이 전면측 기판(200)의 앞쪽(관찰자측)에 편광판(121)이나 위상 차판(123)이 마련되는 한편, 배면측 기판(300)의 배면측(관찰자측과는 반대측)에 편광판(121)이나 위상차판(133) 등이 마련되는데, 도 1에 있어서는 도시가 생략되어 있다. 또한, 배면측 기판(300)의 배면측에는, 외광이 적은 경우에 투과형으로서 이용하기 위한 백 라이트가 마련되는데, 이것에 관해서는 도 1 및 도 2에 있어서 도시가 생략되어 있다.

< 표시 영역 >

다음에, 액정 패널(100)에 있어서의 표시 영역의 상세에 대하여 설명한다. 우선, 전면측 기판(200)의 상세에 대하여 설명한다. 도 2에 도시된 바와 같이, 기판(200)의 외면에는 위상차판(123) 및 편광판(121)이 부착된다. 한편, 기판(200)의 내면에는 차광막(202)이 형성되어 서브 화소간의 혼색을 방지함과 동시에, 표시 영역을 규정하는 프레임으로서 기능하고 있다. 또한, 공통 전극(210)과 세그먼트 전극(310)이 교차하는 영역에 대응하여(차광막(202)의 개구 영역에 대응하여) 컬러 필터(204)가 소정의 배열로 마련되어 있다. 또, 본 실시예에서는, R(적색), G(녹색), B(청색)의 컬러 필터(204)가 데이터계의 표시에 바람직한 스트라이프 배열(도 3 참조)로 되어 있고, R, G, B의 서브 화소의 3개로 거의 정방형의 1 화소를 구성하고 있는데, 본 발명을 이것에 한정시키고자 하는 것은 아니다.

다음에, 절연재로 이루어지는 평탄화막(205)은 차광막(202) 및 컬러 필터(204)에 의한 단차를 평탄화하는 것으로, 이 평탄화된 면에 ITO 등의 투명 도전 재료가 띠 형상으로 패터닝되어, 공통 전극(210)으로 되어 있다. 그리고, 공통 전극(210)의 표면에는, 폴리이미드 등으로 이루어지는 배향막(208)이 형성되어 있다. 또, 이 배향막(208)에는, 배면측 기판(300)과 접합하기 전에 소정의 방향으로 연마(rubbing) 처리가 실시된다. 또한, 차광막(202), 컬러 필터(204) 및 평탄화막(205)은 표시 영역 외에는 불필요하기 때문에, 밀봉재(110)의 영역 근방에서는 마련되어 있지 않다.

계속해서, 배면측 기판(300)의 구성에 대하여 설명한다. 기판(300)의 외면에는 위상차판(133) 및 편광판(131)이 부착된다. 한편, 기판(300)의 내면 전면에는, 절연성 및 광투과성을 갖는 하지막(303)이 형성되어 있다. 이 하지막(303)의 표면에는 반사 패턴(312)과 투명 도전막(314)이 적층된 띠 형상의 세그먼트 전극(310)이 형성되어 있다.

이 중, 반사 패턴(312)은 은 합금 등으로 이루어지며, 전면측 기판(200)측으로부터 입사된 광을 반사하여, 다시 전면측 기판(200)으로 되돌리기 위해 이용된다. 이 때, 반사 패턴(312)은 완전한 경면(mirror surface)일 필요는 없고, 오히려 적절히 난반사시키는 구성이 좋다. 이를 위해서는, 반사 패턴(312)을 어느 정도 기복이 있는 면에 형성하는 것이 바람직하지만, 이 점에 관해서는 본 출원과 직접적인 관계가 없기 때문에, 그 설명을 생략하기로 한다. 또한, 반사 패턴(312)에는 투과형으로도 이용할 수 있도록, 백 라이트에 의한 광을 투과시키기 위한 개구부(309)가 서브 화소 1개당 2개 마련되어 있다(도 3 참조). 또, 기판(300)의 표면에 하지막(303)이 마련되는 이유는 그 표면에 형성되는 반사 패턴(312)의 밀착성을 향상시키기 위함이다.

한편, 투명 도전막(314)은 반사 패턴(312)보다도 한 치수 넓게, 구체적으로는 반사 패턴(312)으로부터 밀려나온 에지(주연) 부분이 하지막(303)에 접하도록 형성되어 있다. 이 때문에, 반사 패턴(312)의 표면은 투명 도전막(314)으로 완전히 덮여지게 되므로, 반사 패턴이 노출되는 부분은 개구부(309)를 포함해서 본 실시예에서는 존재하지 않게 된다.

다음에, 보호막(307)은, 예컨대 TiO_2 등으로 형성되고, 반사 패턴(312)과 투명 도전막(314)을 포함시킨 세그먼트 전극(310)의 보호와, 청색 성분의 광을 많이 반사시키는 층(반사층)을 겸용한 것이다. 그리고, 보호막(307)의 표면에는, 폴리이미드 등으로 이루어지는 배향막(308)이 형성되어 있다. 또, 이 배향막(308)에는 전면측 기판(200)과 접합하기 전에 소정의 방향으로 연마 처리가 실시된다. 또한, 이러한 배면측 기판(300)의 제조 프로세스에 관한 설명은, 편의상 배선(350, 360, 370)을 설명한 이후에 하기로 한다.

< 밀봉재 근방 >

다음에, 액정 패널(100) 중, 밀봉재(110)가 형성되는 영역 근방에 대하여, 도 2 외에 도 3도 참조하여 설명하기로 한다. 여기서, 도 3은 해당 영역 근방의 상세한 구성을 나타내는 평면도이다.

이들 도면에 도시되어 있는 바와 같이, 전면측 기판(200)에 있어서의 공통 전극(210)은 밀봉재(110)가 형성되는 영

역까지 연장되어 마련되는 한편, 배면측 기판(300)에 있어서는 배선(350)을 구성하는 투명 도전막(354)이 공통 전극(210)에 대향하도록, 밀봉재(110)가 형성되는 영역까지 연장되어 마련되어 있다. 이 때문에, 밀봉재(110)중에 스페이서를 겸한 구(球) 형상의 도전성 입자(114)를 적절한 비율로 분산시키면, 공통 전극(210)과 투명 도전막(354)이 해당 도전성 입자(114)를 거쳐 전기적으로 접속되게 된다.

여기서, 배선(350)은 상술한 바와 같이 공통 전극(210)과 드라이버 IC 칩(122)의 출력측 범프와의 사이를 전기적으로 접속하는 것으로서, 반사성 도전막(352)과 투명 도전막(354)이 적층된 것이다. 이 중, 반사성 도전막(352)은 반사 패턴(312)과 동일한 도전층을 패터닝한 것이며, 마찬가지로 투명 도전막(354)은 투명 도전막(314)과 동일한 도전층을 반사성 도전막(352)보다 한 치수 넓게, 구체적으로는 반사성 도전막(352)으로부터 밀려나온 에지 부분이 하지막(303)에 접하도록 패터닝한 것이다. 단, 밀봉재(110)가 형성되는 영역에는, 도 2에 도시된 바와 같이 반사성 도전막(352)은 적층되지 않고 투명 도전막(354)만이 마련된다. 바꿔 말하면, 반사성 도전막(352)은 밀봉재(110)의 형성 영역으로서, 공통 전극(210)과의 접속 부분을 피해서 형성되어 있다.

또, 도 2에 있어서는 도전성 입자(114)의 직경은, 설명의 편의상 실제보다 상당히 크게 되어 있으며, 이 때문에 밀봉재(110)의 폭 방향으로 1개만 마련된 것처럼 보이지만, 보다 정확하게는 도 3에 도시된 바와 같이 밀봉재(110)의 폭 방향으로 다수의 도전성 입자(114)가 랜덤하게 배열되는 구성으로 된다.

< 드라이버 IC 칩의 실장 영역, FPC 기판의 접합 영역의 근방 >

계속해서, 배면측 기판(300) 중, 드라이버 IC 칩(122, 124)이 실장되는 영역이나, FPC 기판(150)이 접합되는 영역의 근방에 대하여 설명한다. 여기서, 도 4는 이들의 영역에 있어서는 구성을 배선을 중심으로 도시한 단면도이며, 도 5는 이 중 드라이버 IC 칩(122)의 실장 영역에서의 배선 구성을 나타내는 평면도이다. 또, 상술한 바와 같이 배면측 기판(300)에는 세그먼트 전극(310) 이외에 배선(350, 360, 370)이 마련되는데, 여기서는 드라이버 IC 칩(122)에 관련되는 배선(350, 360)을 예로 들어 설명한다.

우선, 이들 도면에 도시된 바와 같이, 드라이버 IC 칩(122)에 의한 공통 신호를 공통 전극(210)까지 공급하기 위한 배선(350)은, 상술한 바와 같이 반사성 도전막(352)과 투명 도전막(354)을 적층한 것이지만, 드라이버 IC 칩(122)이 실장되는 영역에서는, 반사성 도전막(352)이 마련되지 않고 투명 도전막(354)만으로 되어 있다. 바꿔 말하면, 반사성 도전막(352)은 드라이버 IC 칩(122)과의 접합 부분을 피해서 형성되어 있다.

또한, FPC 기판(150)으로부터 공급되는 각종 신호를 드라이버 IC 칩(122)까지 공급하기 위한 배선(360)은, 마찬가지로 반사성 도전막(362)과 투명 도전막(364)을 적층한 것이다. 이 중, 반사성 도전막(362)은 반사 패턴(312)이나 반사성 도전막(352)과 동일한 도전층을 패터닝한 것이며, 마찬가지로 투명 도전막(364)은 투명 도전막(314, 354)과 동일한 도전층을 반사성 도전막(362)보다 한 치수 넓게, 반사성 도전막(362)으로부터 밀려나온 에지 부분이 하지막(303)에 접하도록 패터닝한 것이다. 단, 배선(360) 중, 드라이버 IC 칩(122)이 실장되는 영역과, FPC 기판(150)이 접합되는 영역(도 5에서는 도시를 생략함)에서는, 반사성 도전막(362)이 마련되지 않고 투명 도전막(364)만으로 되어 있다. 바꿔 말하면, 반사성 도전막(364)은 드라이버 IC 칩(122)과의 접합 부분 및 FPC 기판(150)과의 접합 부분을 피해서 형성되어 있다.

이러한 배선(350, 360)에 대하여, 드라이버 IC 칩(122)은, 예컨대 다음과 같이 하여 COG 실장된다. 우선, 직방형 형상의 드라이버 IC 칩(122)의 일면에는, 그 내주연 부분에 전극이 복수개 마련되는데, 이러한 전극의 각각에는, 예컨대 금(Au) 등으로 이루어지는 범프(129a, 129b)가 각각 미리 형성되어 있다. 그리고, 첫째, 배면측 기판(300)에 있어

드라이버 IC 칩(122)이 실장되어야 할 영역에, 에폭시 등의 접착재(130)에 도전성 입자(134)를 균일하게 분산시킨 시트(sheet) 형상의 이방성 도전막이 놓여지고, 둘째, 그 이방성 도전막이 전극 형성면을 하측으로 한 드라이버 IC 칩(122)과 배면측 기판(300) 사이에 유지되며, 셋째, 드라이버 IC 칩(122)이 위치 결정된 후에 해당 이방성 도전막을 거쳐 배면측 기판(300)으로 가압·가열된다.

이에 따라, 드라이버 IC 칩(122) 중, 공통 신호를 공급하는 출력측 범프(129a)는 배선(350)을 구성하는 투명 도전막(354)에, 그리고 FPC 기판(150)으로부터의 신호를 입력하는 입력측 범프(129b)는 배선(360)을 구성하는 투명 도전막(364)에, 각각 접착재(130) 중의 도전성 입자(134)를 거쳐 전기적으로 접속되게 된다. 이 때, 접착재(130)는 드라이버 IC 칩(122)의 전극 형성면을 습기나, 오염, 응력 등으로부터 보호하는 봉지재를 겸하게 된다.

또, 여기서는, 드라이버 IC 칩(122)에 관련되는 배선(350, 360)을 예로 들어 설명하였지만, 드라이버 IC 칩(124)에 관련되는 세그먼트 전극(310)과, FPC 기판(150)으로부터 공급되는 각종 신호를 드라이버 IC 칩(124)까지 공급하기 위한 배선(370)에 관해서도 각각 도 4에 있어서의 괄호에 기재된 바와 같이, 배선(350, 360)과 마찬가지로의 구성으로 되어 있다.

즉, 드라이버 IC 칩(124)에 의한 세그먼트 신호를 공급하기 위한 세그먼트 전극(310)은, 상술한 바와 같이 반사 패턴(312)과 투명 도전막(314)이 적층된 구성으로 되어 있지만, 드라이버 IC 칩(124)이 실장되는 영역에서는 반사 패턴(312)이 마련되지 않고 투명 도전막(312)만으로 되어 있다. 바꿔 말하면, 반사 패턴(312)은 드라이버 IC 칩(124)과의 접합 부분을 피해서 형성되어 있다.

또한, FPC 기판(150)으로부터 공급되는 각종 신호를 드라이버 IC 칩(124)까지 공급하기 위한 배선(370)은, 마찬가지로 반사성 도전막(372)과 투명 도전막(374)이 적층된 구성으로 되어 있다. 이 중, 반사성 도전막(372)은 반사 패턴(312)이나 반사성 도전막(352, 362)과 동일한 도전층을 패턴화한 것이며, 투명 도전막(374)은 투명 도전막(314, 354, 364)과 동일한 도전층을 반사성 도전막(372)보다 한 치수 넓게, 반사성 도전막(372)으로부터 밀려나온 에지 부분이 하지막(303)에 접하도록 패턴화한 것이다. 단, 배선(370) 중 드라이버 IC 칩(124)이 실장되는 영역과, FPC 기판(150)이 접합되는 영역에서는, 반사성 도전막(372)이 마련되지 않고 투명 도전막(374)만으로 되어 있다. 바꿔 말하면, 반사성 도전막(372)은, 드라이버 IC 칩(124)과의 접합 부분 및 FPC 기판(150)과의 접합 부분을 피해서 형성되어 있다.

그리고, 이러한 세그먼트 전극(320), 배선(370)에 대하여, 드라이버 IC 칩(124)은 드라이버 IC 칩(122)과 마찬가지로 이방성 도전막을 거쳐 접속되게 된다.

또한, 배선(360, 370)에 대하여, FPC 기판(150)이 접합되는 경우에도, 마찬가지로 이방성 도전막이 이용된다. 이에 따라, FPC 기판(150)에 있어서, 폴리이미드와 같은 기재(substrate)(152)에 형성된 배선(154)은 배선(360)을 구성하는 투명 도전막(364) 및 배선(370)을 구성하는 투명 도전막(374)에 대하여, 각각 접착재(140) 중의 도전성 입자(144)를 거쳐 전기적으로 접속되게 된다.

< 제조 프로세스 >

여기서, 상술한 액정 패널의 제조 프로세스, 특히 배면측 기판의 제조 프로세스에 대하여 도 6을 참조하여 설명한다. 또, 여기서는 공통 전극(210)과 세그먼트 전극(310)이 교차하는 표시 영역을 중심으로 하여 설명하기로 한다.

우선, 도 6(a)에 도시된 바와 같이, 기판(300)의 내면 전면에, Ta_2O_5 나 SiO_2 등을 스퍼터링 등에 의해 퇴적하여 하지막(303)을 형성한다. 계속해서, 도 6(b)에 도시된 바와 같이, 은 단체 또는 은을 주 성분으로 하는 반사성의 도전층(312')을 스퍼터링 등에 의해 성막한다. 이 도전층(312')으로서는, 예컨대 중량비로 98% 정도의 은(Ag) 이외에 백금(Pt)·동(Cu)을 포함하는 합금이나, 은·동·금의 합금, 또는 은·루테튬(Ru)·동의 합금 등이 바람직하다.

계속해서, 도 6(c)에 도시된 바와 같이, 도전층(312')을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝해서, 표시 영역에서는 반사 패턴(312)으로 하고, 표시 영역 밖에서는 반사성 도전막(352, 362, 372)으로 한다. 이 때, 반사 패턴(312)에 있어서는 동시에 개구부(309)를 형성한다.

그 후, 도 6(d)에 도시된 바와 같이, ITO 등의 도전층(314')을 스퍼터링 등에 의해 성막한다. 그리고, 도 6(e)에 도시된 바와 같이, 도전층(314')을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝해서, 표시 영역에서는 투명 도전막(314)으로 하고, 표시 영역 밖에서는 투명 도전막(354, 364, 374)으로 한다. 이 때, 반사 패턴(312), 반사성 도전막(352, 362, 372)이 노출되지 않도록, 투명 도전막(314, 354, 364, 374)의 주연 부분이 하지막(303)에 접하도록 한다. 이에 따라, 도전층(314')의 성막후에는, 반사 패턴(312), 반사성 도전막(352, 362, 372)의 표면이 노출되지 않기 때문에, 이들의 부식·박리 등이 방지되게 된다. 또한, 액정(160)과 반사 패턴(312) 사이에는 투명 도전막(314)이 개재되기 때문에, 반사 패턴(312)으로부터 불순물이 액정(160)으로 용출되는 것이 방지되게 된다.

또, 이 이후에 대해서는 도시를 생략하지만, 도 2에 있어서의 보호막(307), 배향막(308)을 순서대로 형성하여, 그 배향막(308)에 연마 처리를 실시한다. 계속해서, 이러한 배면측 기판(300)과, 마찬가지로 배향막(208)에 연마 처리를 실시한 배면측 기판(200)을, 도전성 입자(114)를 적절히 분산시킨 밀봉재(110)에 의해 접합하고, 그 후 진공에 가까운 상태로 하여 밀봉재(110)의 개구 부분에 액정(160)을 떨어뜨린다. 그리고, 상압(常壓)으로 되돌리는 것에 의해 패널 전체에 액정(160)이 봉입되게 되고, 그 후 해당 개구 부분을 봉지재(112)로 봉지한다. 그 후, 상술한 바와 같이 드라이버 IC 칩(122, 124) 및 FPC 기판(150)을 실장함으로써, 도 1에 도시된 바와 같은 액정 패널(100)로 된다.

< 표시 동작 등 >

다음에, 이러한 구성에 관한 액정 표시 장치의 표시 동작에 대하여 간단히 설명한다. 우선, 상술한 드라이버 IC 칩(122)은 공통 전극(210)의 각각에 대하여 수평 주사 기간마다 소정의 순서로 선택 전압을 인가하는 한편, 드라이버 IC 칩(124)은 선택 전압이 인가된 공통 전극(210)에 위치하는 서브 화소 1 라인분의 표시 내용에 따른 세그먼트 신호를 대응하는 세그먼트 전극(310)을 거쳐 각각 공급한다. 이 때, 공통 전극(210) 및 세그먼트 전극(310)에 인가되는 전압차에 따라서, 해당 영역에 있어서의 액정(160)의 배향 상태가 서브 화소마다 제어된다.

여기서, 도 2에 있어서, 관찰자측으로부터의 외광은, 편광판(121) 및 위상차판(123)을 경유함으로써 소정의 편광 상태로 되고, 또한 전면측 기판(200)→컬러 필터(204)→공통 전극(210)→액정(160)→세그먼트 전극(310)이라고 하는 경로를 거쳐 반사 패턴(312)에 도달하며, 여기서 반사되어, 지금과는 반대의 경로를 밟는다. 따라서, 반사형에 있어서는, 공통 전극(210)과 세그먼트 전극(310) 사이에 인가된 전압차로 인해 액정(160)의 배향 상태가 변화됨으로써, 외광 중, 반사 패턴(312)의 반사후에 편광판을 통과하여 최종적으로 관찰자에게 시인되는 광의 양이 서브 화소마다 제어되게 된다.

또, 반사형에 있어서, 저파장측(청색측)의 광은 반사 패턴(312)에 의해 반사되는 성분과 비교할 때, 그 상층에 위치하는 보호막(307)에 의해 반사되는 성분이 많아진다. 여기서, 본 실시예에 있어서, 이러한 보호막(307)이 마련되는 이유는 다음과 같다. 즉, 은을 포함하는 반사성 패턴(312)의 파장/반사율의 특성은 도 7에 도시된 바와 같이, 일반적으로 이용되는 알루미늄 정도로 평탄한 것이 아니라, 저파장으로 됨에 따라서 반사율이 저하되는 경향이 있다. 이 결과, 반사 패턴(312)에 의해 반사된 광은, 청색 성분이 적어져 황색기를 띠는 경향이 있기 때문에, 특히 컬러 표시를 하는 경우, 색 재현성에 악영향을 미치게 된다. 그래서, 청색 성분의 광에 대해서는, 반사 패턴(312)에 의해 반사되는 성분에 비하여 보호막(307)에 의해 반사되는 성분을 많게 해서, 해당 보호막(307)과 반사 패턴(312)을 합한 반사광이 황색기를

떠게 되는 것을 방지하고 있는 것이다.

한편, 배면측 기판의 배면측에 위치하는 백 라이트(도시를 생략함)를 점등시킨 경우, 해당 백 라이트에 의한 광은 편광판(131) 및 위상차판(133)을 경유함으로써 소정의 편광 상태로 되고, 또한 배면측 기판(300)→개구부(309)→세그먼트 전극(310)→액정(160)→공통 전극(210)→전면측 기판(200)→편광판(201)이라고 하는 경로를 거쳐서 관찰자측으로 출사된다. 따라서, 투과형에 있어서도, 공통 전극(210)과 세그먼트 전극(310) 사이에 인가된 전압차에 의해 액정(160)의 배향 상태가 변화됨으로써, 개구부(309)를 투과한 광 중에서 편광판을 통과하여 최종적으로 관찰자에게 시인되는 광의 양이 서브 화소마다 제어되게 된다.

따라서, 본 실시예에 의한 액정 표시 장치에서는, 외광이 충분하면 반사형으로 되고, 외광이 약하면 백 라이트를 점등시켜서 주로 투과형으로 되기 때문에, 어느쪽의 형태에 있어서도 표시가 가능해진다. 여기서, 본 실시예에서는, 광을 반사하는 반사 패턴(312)에 은 또는 은을 주성분으로 하는 은 합금 등을 이용하고 있기 때문에, 반사율이 높아져 관찰자측으로 되돌아가는 광이 많아지게 되므로, 그 결과 밝은 표시가 가능해진다. 또한, 반사 패턴(312)의 표면이 노출되는 부분은, 본 실시예에서는 투명 전극을 구성하는 도전층(312')의 성막후에는 존재하지 않기 때문에, 반사 패턴(312)의 부식·박리 등이 방지되게 되어, 그 결과 신뢰성이 향상되게 된다.

또한, 전면측 기판(200)에 마련되는 공통 전극(210)은, 도전성 입자(114) 및 배선(350)을 거쳐 배면측 기판(300)으로 인출되고, 또한 배선(360)에 의해 드라이버 IC 칩(124)의 실장 영역 근방까지 인출되어 있기 때문에, 본 실시예에서는 수동 매트릭스형(passive matrix type)임에도 불구하고, FPC 기판(150)과의 접합이 한쪽면의 1개소에서만으로 달성되고 있다. 이 때문에, 실장 공정의 간이화가 도모된다.

한편, 세그먼트 전극(310)은, 투명 도전막(314)과, 은 단체 또는 은을 주성분으로 하는 은 합금 등으로 이루어지는 반사 패턴(312)을 적층한 구성으로 되어 있기 때문에, 저(低) 저항화가 도모되고, 마찬가지로 표시 영역 밖에서의 배선(350; 360; 370)은 각각 투명 도전막(354; 364; 374)과, 반사 패턴(312)과 동일 도전층으로 이루어지는 반사성 도전막(352; 362; 372)을 적층한 구성으로 되어 있기 때문에, 저 저항화가 도모된다. 특히, FPC 기판(150)으로부터 드라이버 IC 칩(122)의 입력측 범프에 이르기까지의 배선(360)에는, 공통 신호를 공급하는 드라이버 IC 칩(122)의 전 원선이 포함되기 때문에, 비교적 높은 전압이 인가되며, 게다가 그 배선 거리는 배선(370)에 비해 길다. 이 때문에, 배선(360)이고 저항이면, 전압 강하에 의한 영향을 무시할 수가 없게 된다. 이에 반하여, 본 실시예에 있어서의 배선(360)에서는, 적층에 의해 저 저항화를 도모하고 있기 때문에, 전압 강하의 영향이 적어진다.

여기서, 세그먼트 전극(310) 중, 드라이버 IC 칩(124)이 실장되는 영역에서는, 반사 패턴(312)이 마련되지 않고 투명 도전막(314)만으로 되어 있다. 또한, 배선(350) 중, 밀봉재(110)에 포함되게 되는 영역 및 드라이버 IC 칩(122)이 실장되는 영역에서는 반사성 도전막(352)이 마련되지 않고 투명 도전막(354)만으로 되어 있다. 마찬가지로, 배선(360) 중, 드라이버 IC 칩(122)이 실장되는 영역 및 FPC 기판(150)이 접합되는 영역에서는 반사성 도전막(362)이 마련되지 않고 투명 도전막(364)만으로 되어 있으며, 또한 배선(370) 중 드라이버 IC 칩(124)이 실장되는 영역 및 FPC 기판(150)이 접합되는 영역에서는 반사성 도전막(372)이 마련되지 않고 투명 도전막(374)만으로 되어 있다.

이것은 은 합금 등이 밀착성에서 떨어지기 때문에, 응력이 가해지는 부분에 마련하는 것은 바람직하지 못하기 때문이다. 즉, 배선의 저 저항화를 우선시할 경우, 투명 전극 또는 투명 도전막의 하층 전역에 걸쳐 반사 패턴 또는 반사성 도전막을 형성하는 구성이 바람직하지만, 이러한 구성에서는, 예컨대 드라이버 IC 칩의 실장 공정에서의 접속 불량 발생

게 되어, 해당 칩을 교환할 때에 밀착성이 낮아져서 해당 반사성 도전막이 기판으로부터 박리되어 버릴 가능성이 있다. 그래서, 본 실시예에서는, 응력이 가해지기 쉬운 부분에는 은 합금 등을 마련하지 않고 투명 전극, 또는 투명 도전막만으로 하여, 은 합금 등의 박리를 미연에 방지하고 있는 것이다.

(실시예 2)

상술한 실시예 1에서는, 공통 전극(210)을 드라이버 IC 칩(122)에 의해 구동하고, 세그먼트 전극(310)을 드라이버 IC 칩(124)에 의해 구동하는 구성으로 하였지만, 본 발명은 이것에 한정되는 것이 아니라, 예컨대 도 8에 도시된 바와 같이, 양자를 1칩화한 유형에도 적용이 가능하다.

이 도면에 도시된 액정 표시 장치에서는, 전면측 기판(200)에 공통 전극(210)이 X방향으로 복수개 연장되어 형성된다는 점에서 실시예와 공통되지만, 상측 절반의 공통 전극(210)이 좌측으로부터, 하측 절반의 공통 전극(210)이 우측으로부터 각각 인출되어 드라이버 IC 칩(126)에 접속되어 있다는 점에서 실시예와 다르다. 여기서, 드라이버 IC 칩(126)은 실시예에 있어서의 드라이버 IC 칩(122, 124)을 1칩화한 것이다. 이 때문에, 드라이버 IC 칩(126)의 출력측은 세그먼트 전극(310) 이외에 배선(350)을 거쳐 공통 전극(210)에도 접속되어 있다. 또한, FPC 기판(150)은 외부 회로(도시를 생략함)로부터 드라이버 IC 칩(126)을 제어하기 위한 신호 등을 배선(360(370))을 거쳐 공급하게 된다.

여기서, 드라이버 IC 칩(126)이 실장되는 영역 근방의 실제적인 배선 레이아웃에 대하여 설명한다. 도 9는 이 배선 레이아웃의 일례를 나타내는 평면도이다. 이 도면에 도시된 바와 같이, 세그먼트 전극(310)은 드라이버 IC 칩(126)의 출력측에서부터 피치가 확대되어, 표시 영역까지 인출되어 있는데 반하여, 배선(350)으로부터 공통 전극(210)까지에 대해서는, 드라이버 IC 칩(126)의 출력측에서부터 피치가 일단 좁혀져서 Y 방향으로 연장된 다음, 90° 굴곡됨과 동시에 피치가 확대되어, 표시 영역까지 인출되어 있다.

여기서, 배선(350)(공통 전극(210))이 드라이버 IC 칩(126)의 출력측으로부터 Y 방향으로 연장되는 영역에서 그 피치가 좁혀져 있는 이유는, 이 영역이 표시에 영향을 미치지 않는 사영역(dead space)이기 때문이며, 이 영역이 넓으면 그만큼 1장의 대형 유리(머더 글래스; mother glass)로부터의 수율이 적어져, 비용 상승을 초래하기 때문이다. 또한, 드라이버 IC 칩(126)의 출력측 범프를 배선(350)에 COG 기술에 의해 접합하기 위해서는, 어느 정도의 피치가 필요하기 때문에, 드라이버 IC 칩(126)의 접합 영역에 관해서는, 반대로 피치를 확대하고 있는 것이다.

또, 도 8에 도시된 액정 표시 장치에 있어서, 공통 전극(210)의 개수가 적은 것이면 해당 공통 전극(210)을 편측의 한 쪽으로부터만 인출하는 구성으로 하여도 좋다.

또한, 도 10에 도시된 바와 같이, 드라이버 IC 칩을 액정 패널(100)에 실장하지 않는 유형에도 적용이 가능하다. 즉, 이 도면에 도시되는 액정 표시 장치에서는, 드라이버 IC 칩(126)이 플립 칩 등의 기술에 의해 FPC 기판(150)에 실장되어 있다. 또, TAB(Tape Automated Bonding) 기술을 이용하여, 드라이버 IC 칩(126)을 그 내측리드로 본딩하는 한편, 액정 패널(100)과는 그 아우터 리드로 접합하는 구성으로 하여도 무방하다. 단, 이러한 구성에서는, 화소수가 많아짐에 따라 FPC 기판(150)과의 접속 부품수가 증가하게 된다.

(실시예 3)

상술한 실시예 1에 있어서는, 은 합금 등의 하지막(303)으로서 절연 재료를 갖는 것을 이용하였지만, 본 발명은 이것에 한정되지 않고 ITO나 Sn_2O_3 등의 도전 재료를 이용하는 것도 가능하다. 그래서 다음에, 하지막(303)으로서 도전성 재료를 이용한 실시예 3에 대하여 설명한다. 또, 이 실시예 3에 관한 액정 표시 장치는, 외관적으로는 실시예 1을 나타내는 도 1과 동일하기 때문에, 여기서는 내부적인 전극이나 배선의 구성을 중심으로 설명하기로 한다.

도 11은 실시예 3에 관한 액정 표시 장치의 액정 패널의 구성을, X 방향을 따라 절단한 경우의 구성을 나타내는 부분 단면도이며, 실시예 1에 있어서의 도 2에 상당하는 것이다. 또한, 도 12는 배면측 기판(300) 중, 드라이버 IC 칩(122)(124)이 실장되는 영역이나, FPC 기판(150)이 접합되는 영역의 구성을 나타내는 단면도이며, 실시예 1에 있어서의 도 4에 상당하는 것이다.

이들 도면에 있어서, 하지막(303)은 반사 패턴(312)이나, 반사성 도전막(352, 362, 372)의 밀착성을 향상시키기 위해서 마련된다는 점에서 실시예 1과 마찬가지로, ITO나 Sn_2O_3 등의 도전성 및 광투과성을 갖는 재료로 이루어진다는 점에서 실시예 1과 다르다.

이 하지막(303)은, 후술하는 바와 같이 투명 도전막(314, 354, 364, 374)과 동일한 프로세스에 의해서 이들의 투명 도전막과 거의 동일한 형상으로 패터닝되어 있다.

상세하게는, 첫째, 세그먼트 전극(310)에 있어서, 도 11에 도시된 바와 같이 반사 패턴(312)이 하지막(303)과 투명 도전막(314) 사이에 유지되고, 또한 투명 도전막(314) 중, 반사 패턴(312)으로부터 밀려나온 에지(주연) 부분이 하지막(303)에 접하도록 형성된다. 이 때문에, 세그먼트 전극(310)은 도전 재료의 하지막(303)과 반사 패턴(312)과, 투명 도전막(314)을 순서대로 적층한 3층 구조가 된다. 단, 반사 패턴(312)은 도 12의 괄호에 나타난 바와 같이 드라이버 IC 칩(124)에 있어서의 출력측 범프(129a)와의 접합 부분을 피하도록 형성되어 있다.

또한, 둘째, 드라이버 IC 칩(122)의 출력측 범프(129a)로부터 공통 전극(210)과의 접속 부분까지 인출되는 배선(350)에 있어서는, 도 11 및 도 12에 도시된 바와 같이 반사성 도전막(352)이 하지막(303)과 투명 도전막(354) 사이에 유지되고, 또한 투명 도전막(354) 중, 반사성 도전막(352)으로부터 밀려나온 에지 부분이 하지막(303)에 접하도록 형성된다. 이 때문에, 배선(350)은 하지막(303)과, 반사성 도전막(352)과, 투명 도전막(354)을 순서대로 적층한 3층 구조로 되는데, 이 중 반사성 도전막(352)은 도전성 입자(114)를 거친 공통 전극(210)과의 접합 부분(도 11 참조) 및 드라이버 IC 칩(122)에 있어서의 출력측 범프와의 접합 부분(도 12 참조)를 피해서 형성되어 있다.

셋째, FPC 기판(150)과의 접속 단자로부터 드라이버 IC 칩(122)의 입력측 범프(129b)까지 인출되는 배선(360)에 있어서는, 도 12에 도시된 바와 같이 반사성 도전막(362)이 하지막(303)과 투명 도전막(364) 사이에 유지되고, 또한 투명 도전막(364) 중, 반사성 도전막(362)으로부터 밀려나온 에지 부분이 하지막(303)에 접하도록 형성된다. 이 때문에, 배선(360)은 하지막(303)과, 반사성 도전막(362)과, 투명 도전막(364)을 순서대로 적층한 3층 구조로 되는데, 이 중 반사성 도전막(362)은 도전성 입자(144)를 거친 FPC 기판(150)과의 접합 부분 및 드라이버 IC 칩(122)에 있어서의 입력측 범프(129b)와의 접합 부분을 피해서 형성되어 있다.

넷째, FPC 기판(150)과의 접속 단자에서부터 드라이버 IC 칩(124)의 입력측 범프(129b)까지 인출되는 배선(370)에 있어서는, 도 12의 괄호에 나타난 바와 같이, 반사성 도전막(372)이 하지막(303)과 투명 도전막(374) 사이에 유지되고, 또한 투명 도전막(374) 중, 반사성 도전막(372)으로부터 밀려나온 에지 부분이, 하지막(303)에 접하도록 형성된다. 이 때문에, 배선(370)은 하지막(303)과, 반사성 도전막(372)과, 투명 도전막(374)을 순서대로 적층한 3층 구조로 되는데, 이 중 반사성 도전막(372)은 도전성 입자(144)를 거친 FPC 기판(150)과의 접합 부분 및 드라이버 IC 칩(124)에 있어서의 입력측 범프(129b)와의 접합 부분을 피해서 형성되어 있다.

또, 도 11 및 도 12에 있어서, 드라이버 IC 칩의 접합 부분이나 FPC 기판(150)과의 접합 부분에서는, 하지막(303)과, 투명 도전막(314, 354, 364, 374)의 2층으로 되어 있지만, 어느 한쪽의 1층 구조로 하여도 좋다.

또한, 실시예 3에 있어서, 하지막(303)은 평면적으로 보아 투명 도전막(314, 354, 364, 374)과 동일한 형상으로 된다. 이 때문에, 실시예 3에 관한 액정 패널의 서브 화소를 나타내는 평면도는 실시예 1에 관한 액정 패널의 서브 화소를 나타내는 도 3과 동일하게 되며, 또한 실시예 3에 관한 액정 패널에 있어서 드라이버 IC 칩의 실장 영역 근방을 나타내는 부분 평면도에 관해서도 실시예 1에 관한 액정 패널에 있어서 드라이버 IC 칩의 실장 영역 근방을 나타내는 도 5와 동일하게 된다.

(제조 프로세스)

다음에, 실시예 3에 있어서의 액정 패널의 제조 프로세스, 특히 배면측 기판의 제조 프로세스에 대하여 설명한다. 도 13은 이 제조 프로세스를 나타내는 도면이며, 실시예 1에 있어서의 도 6에 상당하는 것이다.

우선, 도 13(a)에 도시된 바와 같이, 기판(300)의 내면 전면에, ITO나 Sn_2O_3 등의 금속 산화물 재료를 스퍼터링 등에 의해 퇴적하여 하지(303')를 형성한다. 계속해서, 도 13(b)에 도시된 바와 같이, 은 단체 또는 은을 주성분으로 하는 반사성의 도전층(312')을 스퍼터링 등에 의해 성막한다. 또, 이 도전층(312')에 관해서는 실시예 1과 마찬가지로, 이것을 이용할 수 있다.

계속해서, 도 13(c)에 도시된 바와 같이, 하지(303')에 형성된 도전층(312')만을, 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝한다. 이 에칭에 의해, 표시 영역에서는 개구부(309)와 함께 반사 패턴(312)이 형성되고, 표시 영역밖에서는 반사성 도전막(352, 362, 372)이 형성된다.

여기서, 금속 산화물인 하지(303')와, 합금인 도전층(312')에 있어서는, 선택비가 서로 다르기 때문에, 상세하게는 하지(303')보다 도전층(312')쪽이 에칭되기 쉽기 때문에, 적절한 에칭 용액을 이용하면 도전층(312')만을 선택적으로 에칭하는 것이 가능하다. 또, 이러한 에칭액으로서는, 예컨대 중량비로 인산(54%), 초산(33%), 질산(0.6%), 나머지를 물로 하는 혼합 용액을 예로 들 수 있다.

그 후, 도 13(d)에 도시된 바와 같이, ITO 등의 도전층(314')을 스퍼터링 등에 의해 성막한다. 그리고, 도 13(e)에 도시된 바와 같이, 하지(303')와 도전층(314')을 포토리소그래피 기술 및 에칭 기술을 이용하여 동시에 패터닝해서 하지막(303) 및 투명 도전막(314)으로서 형성한다. 이에 따라, 세그먼트 전극(310)이 형성되게 된다. 또, 표시 영역 밖에서는, 하지(303')를 하지막(303)으로 하고, 또한 도전층(314')을 투명 도전막(354, 364, 374)으로 하여 각 패터닝한다. 이에 따라, 배선(350, 360, 370)이 형성되게 된다.

여기서, 투명 도전막(314, 354, 364, 374)(하지막(303))을 반사 패턴(312)이나 반사성 도전막(352, 362, 372)보다 한 치수 크게 패터닝하면, 투명 도전막 중, 반사 패턴이나 반사성 도전막으로부터 밀려나온 에지 부분이 하지막(303)에 접하기 때문에, 반사 패턴이나 반사성 도전막이 노출되는 일이 없다.

또, 이 이후에 대해서는 실시예 1과 마찬가지로, 도 11에 있어서의 보호막(307), 배향막(308)을 순서대로 형성하고, 해당 배향막(308)에 연마 처리를 실시한다. 그 후, 배면측 기판(300)과, 마찬가지로 배향막(208)에 연마 처리를 실시한 배면측 기판(200)을, 도전성 입자(114)를 적절히 분산시킨 밀봉재(110)에 의해 접합하고, 또한 진공에 가까운 상태로 하여 밀봉재(110)의 개구 부분에 액정(160)을 떨어뜨린다. 그 후, 상압으로 되돌려 해당 개구 부분을 봉지재(112)로 봉지한다. 그리고, 드라이버 IC 칩(122, 124) 및 FPC 기판(150)을 실장하는 것에 의해, 도 1에 도시된 실시예

1과 마찬가지로 액정 패널(100)로 된다.

이러한 실시예 3에 따르면, 은 합금 등의 반사 패턴(312), 반사성 도전막(352, 362, 372)이 각각 투명 도전막(314, 354, 364, 374)에 의해 완전히 덮여지고, 또한 금속 산화물끼리인 하지막과 투명 도전막 사이에 유지된다. 이 때문에, 하지막과 투명 도전막과의 밀착성은 무기 재료 및 금속 산화물을 이용한 실시예 1과 비교할 때 양호하기 때문에, 이들의 계면을 거쳐서 수분 등이 침입하는 것이 적어진다.

또한, 실시예 3에서는 하지막(303)이 금속 산화물막으로서 추가되어 있지만, 그 패터닝 공정은 투명 도전막(314, 354, 364, 374)과 겸용되기 때문에, 실시예 1에 비하여 프로세스가 복잡하게 되는 일도 없다.

또한, 실시예 3에서는, 배선 저항에 대해서도 접합 부분 이외에는 3층 구조가 되기 때문에, 2층 구조인 실시예 1과 비교할 때 낮게 할 수 있다. 또, 다른 작용 효과에 대해서는 실시예 1과 마찬가지로 한다.

(실시예 4)

상술한 실시예 1, 2 및 실시예 3에서는, 수동 매트릭스형으로서 설명하였지만, 본 발명에서는 액티브(스위칭) 소자를 이용하여 액정을 구동하는 능동 매트릭스형(active matrix type)이라도 적용이 가능하다. 그래서, 다음에 액티브 소자에 의해서 액정을 구동하는 실시예 4에 대하여 설명하기로 한다. 또, 실시예 4에서는, 액티브 소자의 일례로서 TFD(Thin Filmed Diode: 박막 다이오드)를 이용하기로 한다. 또한, 실시예 4에 관한 액정 표시 장치는, 외관적으로는 실시예 1을 도시한 도 1과 동일하기 때문에, 여기서도 내부적인 전극이나 배선의 구성을 중심으로 하여 설명하기로 한다.

도 14(a)는 실시예 4에 관한 액정 패널(100)에 있어서, 1 화소분의 레이아웃을 나타내는 평면도이며, 도 14(b)는 도 14(a)에 있어서의 A-A' 선을 따라 도시한 단면도이다.

이들 도면에 도시된 바와 같이, 액정 패널(100)에서는 전면측 기판에 있어서 주사선(2100)이 행(X)방향으로 연장되어 형성되는 한편, 배면측 기판에 있어서 데이터선(신호선)(3100)이 열(Y)방향으로 연장되어 형성됨과 동시에, 주사선(2100)과 데이터선(3100)과의 각 교차에 대응하여, 직사각형 형상의 화소 전극(330)이 매트릭스 형상으로 배열되어 있다. 이 중, 동일 열상에 배열된 화소 전극(330)이 1개의 데이터선(3100)에 각각 TFD(320)을 거쳐 공통 접속되어 있다.

또, 본 실시예에 있어서, 주사선(2100)은 드라이버 IC 칩(122)에 의해서, 데이터선(3100)은 드라이버 IC 칩(124)에 의해서, 각각 구동된다.

본 실시예에 있어서, TFD(320)는 제 1 TFD(320a) 및 제 2 TFD(320b)로 이루어지고, 배면측 기판(300)의 표면에 형성되며, 또한 절연성 및 광투과성을 갖는 하지막(303)에 있어서, 탄탈 텅스텐 등의 제 1 금속막(3116)과, 이 제 1 금속막(3116)의 표면을 양극(陽極) 산화시켜서 형성된 절연막(3118)과, 이 표면에 형성되어 서로 분리되어 있는 제 2 금속막(3122, 3124)을 갖는다. 이 중, 제 1 금속막(3122, 3124)은 은 합금 등의 반사성 도전막이며, 전자의 제 2 금속막(3122)은 그대로 데이터선(3100)의 일 부로 되는 한편, 후자의 제 2 금속막(3124)은 개구부(309)를 갖는 화소 전극(330)의 반사성 도전막(3322)으로 되어 있다.

여기서, TFD(320) 중, 제 1 TFD(320a)는 데이터선(3100)측에서 보면 순서대로, 제 2 금속막(3122)/절연막(3118)/제 1 금속막(3116)으로 되어, 금속/절연체/금속의 MIM 구조를 채용하기 때문에, 그 전류-전압 특성은 정부(正負) 쌍방향에 걸쳐 비선형으로 된다.

한편, 제 2 TFD(320b)는 데이터선(3100)측에서 보면 순서대로, 제 1 금속막(3116)/절연막(3118)/제 2 금속막(3124)으로 되어, 제 1 TFD(320a)와는 반대의 전류-전압 특성을 갖게 된다. 따라서, TFD(320)는 2개의 다이오드 소자를 서로 반대 방향으로 직렬 접속한 형태로 되기 때문에, 하나의 소자를 이용하는 경우에 비하면, 전류-전압의 비선형 특성이 정부 쌍방향에 걸쳐 대칭화되게 된다.

여기서, 데이터선(3100)의 일부인 반사선 도전막(3120)과, 제 2 금속막(3122, 3124)과, 화소 전극(330)의 반사성 도전막(3320)은, 동일한 은 합금층을 패터닝한 것이다. 따라서, 실시예 4에서는, 이들의 막이 노출되지 않도록 ITO로 이루어지는 투명 도전막(3140, 3340)에 의해 덮여져 있다. 한편, 데이터선(3100)은 하지막(303)에서부터 순서대로, 금속막(3112), 절연막(3114), 반사성 도전막(3120), 투명 도전막(3140)으로 되어 있다.

또한, 동일 행의 화소 전극(330)은 각각 동일 행의 주사선(2100)과 대향하고 있다. 이 주사선(2100)은 실시예 1, 2 및 실시예 3에 있어서의 공통 전극(210)과 마찬가지로, ITO로 이루어지는 스트라이프 형상의 투명 전극이다. 이 때문에, 주사선(2100)은 화소 전극(330)의 대향 전극으로서 기능하게 된다.

따라서, 소정 색에 대응하는 서브 화소의 액정 용량은, 주사선(2100)과 데이터선(3100)의 교차에 있어서 해당 주사선(2100)과, 화소 전극(330)과, 양자 사이에 유지된 액정(160)에 의해 구성되게 된다.

이러한 구성에 있어서, 데이터선(3100)에 인가되어 있는 데이터 전압에 관계 없이, TFD(320)가 온 상태로 되는 선택 전압을 주사선(2100)에 인가하면, 해당 주사선(2100) 및 해당 데이터선(3100)의 교차에 대응하는 TFD(320)가 온 상태로 되고, 온 상태로 된 TFD(320)에 접속된 액정 용량에, 해당 선택 전압 및 해당 데이터 전압의 차에 따른 전하가 축적된다. 전하 축적후, 주사선(2100)에 비선택 전압을 인가하여 해당 TFD(320)을 오프시키더라도, 액정 용량에 있어서의 전하 축적은 유지된다.

여기서, 액정 용량에 축적되는 전하량에 따라서 액정(160)의 배향 상태가 변화되기 때문에, 편광판(121)(도 2, 도 1 참조)을 통과하는 광량 또한 투과형, 반사형 중 어느 경우에 있어서도, 축적된 전하량에 따라 변화된다. 따라서, 선택 전압이 인가되었을 때의 데이터 전압에 따라서 액정 용량에 있어서의 전하 축적량을 서브 화소마다 제어함으로써, 소정의 계조 표시가 가능하게 된다.

(제조 프로세스)

다음에, 실시예 4에 있어서의 액정 패널의 제조 프로세스, 특히 배면측 기판에 있어서의 TFT(320)의 제조 프로세스에 대하여 설명한다. 도 15, 도 16 및 도 17은 이 제조 프로세스를 나타내는 도면이다.

우선, 도 15(a)에 도시한 바와 같이, 기판(300)의 내면 전면에, Ta_2O_5 나 SiO_2 등을 스퍼터링 등에 의해 퇴적하거나, 스퍼터링법 등에 의해 퇴적한 탄탈(Ta)막을 열산화시키거나 함으로써 하지막(303)을 형성한다. 계속해서, 도 15(b)에 도시된 바와 같이, 하지막(303)의 상면에 제 1 금속층(3112')을 성막한다. 여기서, 제 1 금속층(3112')의 막두께로서는 TFD(320)의 용도에 따라 적절한 값이 선택되며, 보통 100~500nm 정도이다. 또한, 제 1 금속층(3112')의 조성은, 예컨대 탄탈, 탄탈 텅스텐(TaW) 등의 탄탈 합금이다.

여기서, 제 1 금속층(3112')으로서 탄탈 단체를 이용하는 경우에는, 스퍼터링법이나 전자 빔 증착법 등에 의해 형성이 가능하다. 또한, 제 1 금속층(3112')으로서 탄탈 합금을 이용하는 경우에는, 주성분인 탄탈에, 텅스텐 외에 크롬이나, 몰리브덴, 레늄, 이트륨, 란탄, 디스프로슘 등, 주기율표상에서 제 6~제 8족에 속하는 원소가 첨가된다.

이 첨가 원소로서는, 상술한 바와 같이 텅스텐이 바람직하고, 그 함유 비율은, 예컨대 0.1~6중량%가 바람직하다. 또한, 탄탈 합금으로 이루어지는 제 1 금속층(3112')을 형성하기 위해서는 혼합 타겟을 이용한 스퍼터링법이나 코스퍼터링법, 전자 빔 증착법 등이 이용된다.

또한, 도 15(c)에 도시되어 있는 바와 같이, 도전층(3112')을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝하여, 데이터선(3100)의 최하층으로 되는 금속막(3112)과, 해당 금속막(3112)으로부터 분기되는 제 1 금속막(3116)을 형성한다.

계속해서, 도 15(d)에 도시된 바와 같이, 제 1 금속막(3116)의 표면을 양극 산화법에 의해 산화시켜 절연막(3118)을 형성한다. 이 때, 데이터선(3110)의 최하층으로 되는 금속막(3112)의 표면도 동시에 산화되어, 마찬가지로 절연막(3114)이 형성된다. 절연막(3118)의 막두께는 그 용도에 따라 적절한 값이 선택되며, 본 실시예에서는 예컨대 10~35 nm 정도이다.

본 실시예에서는, TFD(320)가, 제 1 TFD(320a)와 제 2 TFD(320b)의 2개로 이루어지기 때문에, 하나의 서브 화소에 대해 1개의 TFD를 이용하는 경우와 비교하면, 절연막(3118)의 막두께는 거의 절반으로 되어 있다. 또, 양극 산화에 이용되는 화성액은, 특별히 한정되지는 않지만, 예컨대 0.01~0.1중량%의 구연산 수용액(citric acid solution)을 이용할 수 있다.

다음에, 도 15(e)에 도시된 바와 같이, 데이터선(3100)의 기초 부분(절연막(3114)에 의해 덮여진 금속막(3112))으로부터 분기된 절연막(3118) 중, 점선 부분(3119)을 그 기초로 되어 있는 제 1 금속막(3116)과 동시에 제거한다. 이에 따라, 제 1 TFD(320a) 및 제 2 TFD(320b)에서 공용되는 제 1 금속막(3116)이, 데이터선(3100)과 전기적으로 분리되게 된다. 또, 파선 부분(3119)의 제거에 관해서는 일반적으로 이용되고 있는 포토리소그래피 및 에칭 기술이 이용된다.

계속해서, 도 16(f)에 도시된 바와 같이, 은 단체 또는 은을 주성분으로 하는 반사성의 도전층(3120')을 스퍼터링 등에 의해 성막한다. 또, 이 도전층(3120')에 대해서는 실시예 1에 있어서의 도전층(312')과 마찬가지로의 것을 이용할 수 있다.

또한, 도 16(g)에 도시된 바와 같이, 도전층(3120')을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝해서, 데이터선(3100)에 있어서의 반사성 도전막(3120)과, TFD(320)에 있어서의 제 2 금속막(3122, 3124)과, 화소 전극(330)에 있어서의 반사성 도전막(3320)을 각각 형성한다.

여기서, 반사성 도전막(3320)에는 투과형으로서 이용하기 위한 개구부(309)가 동시에 마련된다. 또한, 제 2 금속막(3122)은 반사성 도전막(3120)으로부터의 분기 부분이며, 제 2 금속막(3124)은 반사성 도전막(3320)으로부터의 돌출 부분이다.

또한, 도전층(3120')을 패터닝할 때에, 배선에 있어서의 반사성 도전막(352, 362, 372)(도 4참조)도 동시에 형성한다. 여기서, 본 실시예에 있어서의 반사성 도전막(3120)이 실시예 1 등에 있어서의 반사성 도전막(312)으로서 이용된다.

또, 이들의 반사성 도전막에 대해서는, 드라이버 IC 칩이나 FPC 기판 등의 접합 부분을 피해서 형성된다고 하는 점은, 상술한 실시예 1과 마찬가지로이다.

다음에, 도 17(h)에 도시된 바와 같이, ITO 등의 투명성을 갖는 도전층(3140')을 스퍼터링 등에 의해 성막한다. 그리고, 도 17(i)에 도시된 바와 같이, 도전층(3140')을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝해서, 은 합금 등의 반사성 도전막(3120) 및 제 2 금속막(3122)을 완전히 덮도록 투명 도전막(3140)을 형성한다. 마찬가지로 하여, 반사성 도전막(3320) 및 제 2 금속막(3124)을 완전히 덮도록 투명 도전막(3340)을 형성한다.

또한, 도전층(3140')을 패터닝할 때에, 배선에 있어서의 투명 도전막(354, 364, 374)의 각각에 대해서도 각각 반사성 도전막(352, 362, 372)을 완전히 덮도록 형성한다.

또, 이 이후의 제조 프로세스에 대해서는, 실시예 1과 마찬가지로이다. 즉, 도 2에 있어서의 보호막(307), 배향막(308)을 순서대로 형성하고, 해당 배향막(308)에 연마 처리를 실시한다. 그 후, 배면측 기판(300)과, 마찬가지로 배향막(208)에 연마 처리를 실시한 배면측 기판(200)을 도전성 입자(114)를 적절히 분산시킨 밀봉재(110)에 의해 접합하고, 또한 진공에 가까운 상태로 하여 밀봉재(110)의 개구 부분에 액정(160)을 떨어뜨린다. 그 후, 상압으로 되돌려서, 해당 개구 부분을 봉지재(112)로 봉지한다. 그리고, 드라이버 IC 칩(122, 124) 및 FPC 기판(150)을 실장함으로써, 도 1에 도시된 실시예 1과 마찬가지로의 액정 패널(100)로 된다.

이와 같이 실시예 4에서는, TFD(320)에 있어서의 제 2 금속막(3122, 3124)과, 데이터선(3100) 중 반사성 도전막(3120)이, 반사성 도전막(3320)과 동일 층에 의해서 형성되기 때문에, 제조 프로세스가 그다지 복잡화되는 일은 없다. 또한, 데이터선(3100)에는 저 저항인 반사성 도전막(3120)을 포함하기 때문에, 그 배선 저항이 저감되게 된다.

또한, 실시예 4에 따르면, 제 2 금속막(3122, 3124)이나 반사성 도전막(3120, 3320)은 각각은 합금 등이기는 하지만, 배선(350, 360, 370)에 있어서의 반사성 도전막(352, 362, 372)과 마찬가지로, ITO 등의 투명 도전막(3140, 3340)에 의해서 노출되는 일 없이 덮여지기 때문에, 부식·박리 등이 방지되어, 그 결과 신뢰성을 향상시키는 것이 가능해진다.

또, 실시예 4에 있어서의 TFD(320)는, 전류-전압 특성을 정부 쌍방향에 걸쳐 대칭화되도록, 제 1 TFD(320a)와 제 2 TFD(320b)를 서로 반대 방향으로 하는 것과 같은 구성이지만, 전류-전압 특성의 대칭성이 그다지 강하게 요구되지 않는다면, 간단히 1개의 TFD를 이용하더라도 무방함은 물론이다.

본래, 실시예 4에 있어서의 TFD(320)는 2 단자형 스위칭 소자의 일례이다. 이 때문에, 액티브 소자로서는 ZnO(산화아연) 배리스터나, MSI(Metal Semi-Insulator) 등을 이용한 단일 소자 외에, 이들 소자 2개를 반대 방향으로 직렬 접속 또는 병렬 접속한 것 등을 2 단자형 스위칭 소자로서 이용하는 것도 가능하다. 또한, 이들 2 단자형 소자 외에, TFT(Thin Film Transistor) 소자를 마련하여, 이들에 의해 구동시킴과 동시에, 이들 소자로의 배선 일부(또는 전부)에 반사 패턴과 동일한 도전층을 이용하는 구성으로 하여도 좋다.

(응용예·변형예)

또, 상술한 실시예에서는, 반투과 반반사형의 액정 표시 장치로 하였지만, 개구부(309)를 마련하지 않고 단순한 반사형으로 하여도 좋다. 반사형으로 하는 경우에는, 백 라이트 대신에, 필요에 따라 관찰자측에서 광을 조사하는 프론트 라이트(front light)를 마련해도 좋다.

또한, 반투과 반반사형으로 하는 경우, 반사 패턴(312)(반사성 도전막(3320))에 반드시 개구부(309)를 마련할 필요가 없다. 즉, 배면측 기판(300)측으로부터의 입사광의 일부가 어떤 구성에 의해서든지 액정(160)을 거쳐 관찰자에게 시인되면 된다. 예컨대, 은 합금 등의 반사 패턴의 막두께를 극히 얇게 하면, 개구부(309)를 마련하지 않고서 반투과 반반사 패턴으로서 기능하게 된다.

한편, 실시예에서는, 공통 전극(210)과 배선(350)의 도통을 밀봉재(110)에 혼입된 도전성 입자(114)에 의해 도모하는 구성으로 하였지만, 밀봉재(110)의 프레임 밖에 별도로 마련된 영역에서 도통을 도모하는 구성으로 하여도 좋다.

또한, 공통 전극(210)(주사선(2100)) 및 세그먼트 전극(310)(데이터선(3100))은 서로 상대적인 관계에 있기 때문에, 전면측 기판(200)에 세그먼트 전극(데이터선)을 형성함과 동시에, 배면측 기판(300)에 공통 전극(주사선)을 형성하더라도 좋다.

또한, 실시예에서는, 컬러 표시를 하는 액정 표시 장치를 예로 들어 설명하였지만, 간단히 흑백 표시를 하는 액정 표시 장치이어도 무방함은 물론이다.

또, 실시예에서는, 액정으로서 TN형을 이용하였지만, BTN(Bi-stable Twisted Nematic)형·강유전형 등의 메모리성을 갖는 쌍안정형이나, 고분자 분산형, 또한 분자의 장축 방향과 단축 방향에서 가시광의 흡수에 이방성을 갖는 염료(게스트)를 일정한 분자 배열의 액정(호스트)에 용해하여, 염료 분자를 액정 분자와 평행하게 배열시킨 GH(게스트 호스트)형 등의 액정을 이용하더라도 좋다.

또한, 전압 무인가시에는 액정 분자가 양 기판에 대해 수직 방향으로 배열되는 한편, 전압 인가시에는 액정 분자가 양 기판에 대해 수평 방향으로 배열된다고 하는 수직 배향(호메오토포픽 배향)의 구성으로 하여도 무방하며, 전압 무인가시에는 액정 분자가 양 기판에 대해 수평 방향으로 배열되는 한편, 전압 인가시에는 액정 분자가 양 기판에 대해 수직 방향으로 배열된다고 하는 평행(수평) 배향(호모지니어스 배향)의 구성으로 하여도 좋다. 이와 같이, 본 발명에서는, 액정이나 배향 방식의 여러 가지 유형에 적용하는 것이 가능하다.

(전자 기기)

다음에, 상술한 액정 표시 장치를 구체적인 전자 기기에 이용한 예를 몇가지 설명한다.

< 1. 휴대형 컴퓨터 >

우선, 본 발명에 관한 액정 표시 장치를 휴대형(mobile) 퍼스널 컴퓨터에 적용한 예에 대하여 설명한다. 도 18은 이 퍼스널 컴퓨터의 구성을 나타내는 사시도이다. 도면에 있어서, 퍼스널 컴퓨터(1100)는 키보드(1102)를 구비한 본체부(1104)와, 액정 표시 유닛(1106)으로 구성되어 있다. 이 액정 표시 유닛(1106)은, 앞서 말한 액정 패널(100)의 배면에 백 라이트(도시를 생략함)를 부가하여 구성되어 있다. 이에 따라, 외광이 있으면 반사형으로, 외광이 불충분하면 백 라이트를 점등시켜서 투과형으로 하여 표시를 시인할 수 있도록 있다.

< 2. 휴대 전화 >

다음에, 액정 표시 장치를 휴대 전화의 표시부에 적용한 예에 대하여 설명한다. 도 19는 이 휴대 전화의 구성을 나타내는 사시도이다. 도면에 있어, 휴대 전화(1200)는 복수의 조작 버튼(1202) 외에, 수화구(1204), 송화구(1206)와 함께 상술한 액정 패널(100)을 구비한 것이다. 또, 이 액정 패널(100)의 배면에도, 시인성을 높이기 위한 백 라이트(도시 생략)가 필요에 따라 마련된다.

< 3. 디지털 스틸 카메라 >

또한, 액정 표시 장치를 파인더에 이용한 디지털 스틸 카메라에 대하여 설명한다. 도 20은 이 디지털 스틸 카메라의 구성을 나타내는 사시도인데, 외부 기기와의 접속에 대해서도 간단히 도시한 것이다.

통상의 카메라는, 피사체의 광상(光像)에 따라 필름을 감광시키는 데 반하여, 디지털 스틸 카메라(1300)는 피사체의 광상을 CCD(Charge Coupled Device) 등의 촬상 소자에 의해 광전 변환하여 촬상 신호를 생성하는 것이다. 여기서, 디지털 스틸 카메라(1300)에 있어서의 케이스(1302) 배면에는 상술한 액정 패널(100)이 마련되며, CCD에 의한 촬상 신호에 근거하여 표시를 하는 구성으로 되어 있다. 이 때문에, 액정 패널(100)은 피사체를 표시하는 파인더로서 기능한다. 또한, 케이스(1302)의 전면측(도면에 있어서는 이면측)에는 옵티컬 렌즈나 CCD 등을 포함한 수광 유닛(1304)이 마련되어 있다.

여기서, 촬영자가 액정 패널(100)에 표시된 피사체상을 확인하여 셔터 버튼(1306)을 누르면, 그 시점에서의 CCD의

촬영 신호가 회로 기판(1308)의 메모리에 전송·저장된다. 또한, 이 디지털 스틸 카메라(1300)에 있어서는, 케이스(1302)의 측면에, 비디오 신호 출력 단자(1312)와 데이터 통신용 입출력 단자(1314)가 마련되어 있다. 그리고, 도면에 도시된 바와 같이, 전자의 비디오 신호 출력 단자(1312)에는 텔레비전 모니터(1430)가, 그리고 후자의 데이터 통신용 입출력 단자(1314)에는 퍼스널 컴퓨터(1440)가 각각 필요에 따라 접속된다. 또한, 소정의 조작에 의해서, 회로 기판(1308)의 메모리에 저장된 촬영 신호가 텔레비전 모니터(1430)나 퍼스널 컴퓨터(1440)로 출력되는 구성으로 되어 있다.

또, 전자 기기로서는, 도 18의 퍼스널 컴퓨터나, 도 19의 휴대 전화, 도 20의 디지털 스틸 카메라 외에도, 액정 텔레비전이나, 뷰 파인더형, 모니터 직시형의 비디오 테이프 레코더, 자동차 네비게이션 장치, 호출기, 전자 수첩, 전자 계산기, 워드 프로세서, 워크 스테이션, 화상 전화, POS 단말, 터치 패널을 구비한 기기 등을 예로 들 수 있다. 그리고, 이들 각종 전자 기기의 표시부로서, 상술한 표시 장치가 적용 가능한 것은 물론이다.

발명의 효과

이상 설명한 바와 같이 본 발명에 따르면, 은 합금 등을 반사막 이외에 배선으로 이용하는 경우에 있어서도 높은 신뢰성을 얻는 것이 가능해진다.

이상 본 발명자에 의해서 이루어진 발명을 상기 실시예에 따라 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니고, 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경 가능한 것은 물론이다.

(57) 청구의 범위

청구항 1.

제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극(間隙)에 액정이 봉입된 액정 장치에 있어서,

상기 제 1 기판에 마련된 하지막(下地膜; an underlying film)과,

상기 하지막 상에 형성되고, 은을 포함하는 반사성 도전막과,

상기 반사성 도전막에 적층됨과 동시에, 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 구비하는 것을 특징으로 하는 액정 장치.

청구항 2.

제 1 항에 있어서,

상기 하지막은 금속 산화물을 포함하는 것을 특징으로 하는 액정 장치.

청구항 3.

제 1 항에 있어서,

상기 반사성 도전막의 상면에 청색 성분의 광을 반사시키는 반사층을 갖는 것을 특징으로 하는 액정 장치.

청구항 4.

청구항 1에 기재된 액정 장치를 구비하는 것을 특징으로 하는 전자 기기.

청구항 5.

제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치에 있어서,

상기 제 1 기판에 마련된 제 1 배선과,

상기 제 2 기판에 마련된 도전막과,

상기 제 1 배선과 상기 도전막을 접속하는 도통재를 구비하되,

상기 제 1 배선은,

하지막, 상기 하지막 상에 형성되고 은을 포함하는 금속막, 상기 금속막에 적층됨과 동시에 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 포함하는 것을 특징으로 하는 액정 장치.

청구항 6.

제 5 항에 있어서,

상기 하지막은 금속 산화물을 포함하는 것을 특징으로 하는 액정 장치.

청구항 7.

제 5 항에 있어서,

상기 금속막은 상기 도통재와의 접속 부분을 피해서 형성되어 있는 것을 특징으로 하는 액정 장치.

청구항 8.

제 5 항에 있어서,

상기 제 1 기판에 마련된 화소 전극과,

상기 화소 전극에 접속된 액티브 소자와,

상기 제 1 기판에 마련됨과 동시에, 상기 제 1 배선에 접속되어, 상기 액정에 전압을 인가하기 위한 신호선과,

상기 제 1 기판에 마련된 화소 전극과,

상기 화소 전극에 일단부가 접속된 액티브 소자를 구비하되,

상기 신호선은, 상기 액티브 소자의 타단부에 접속되어 있는 것을 특징으로 하는 액정 장치.

청구항 9.

제 5 항에 있어서,

상기 액정을 구동하는 드라이버 IC 칩을 더 구비하되,

상기 드라이버 IC 칩은 상기 제 1 배선에 출력 신호를 공급하는 출력측 범프를 포함하며,

상기 출력측 범프는 상기 제 1 배선에 접속되어 있는 것을 특징으로 하는 액정 장치.

청구항 10.

제 9 항에 있어서,

상기 금속막은 상기 출력측 범프와의 접속 부분을 피해서 형성되어 있는 것을 특징으로 하는 액정 장치.

청구항 11.

제 5 항에 있어서,

상기 제 1 기판에 마련된 제 2 배선 및 상기 액정을 구동하는 드라이버 IC 칩을 더 구비하되,

상기 드라이버 IC 칩은 상기 제 2 배선으로부터 입력 신호를 입력하는 입력측 범프를 포함하며,

상기 입력측 범프는 상기 제 2 배선에 접속되어 있고,

상기 제 2 배선은,

하지만, 상기 마지막 상에 형성되어 은을 포함하는 금속막, 상기 금속막에 적층됨과 동시에 에지 부분이 상기 마지막과 접하도록 패터닝된 금속 산화물막을 포함하는 것을 특징으로 하는 액정 장치.

청구항 12.

제 11 항에 있어서,

상기 금속막은 상기 입력측 범프와의 접속 부분을 피해서 형성되어 있는 것을 특징으로 하는 액정 장치.

청구항 13.

제 11 항에 있어서,

상기 드라이버 IC 칩에 입력 신호를 공급하는 외부 회로 기판을 더 구비하고,

상기 외부 회로 기판과 상기 제 2 배선이 접속되어 있으며,

상기 금속막은 상기 외부 회로 기판과의 접속 부분을 피해서 형성되어 있는 것을 특징으로 하는 액정 장치.

청구항 14.

제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치에 있어서,

상기 제 1 기판에 마련되어, 상기 액정에 전압을 인가하기 위한 전극과,

상기 전극에 접속된 제 1 배선과,

상기 제 1 배선에 접속된 드라이버 IC 칩을 구비하되,

상기 제 1 배선은,

하지막, 상기 하지막 상에 형성되어 은을 포함하는 금속막, 상기 금속막에 적층됨과 동시에 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 포함하는 것을 특징으로 하는 액정 장치.

청구항 15.

제 14 항에 있어서,

상기 금속막은 상기 드라이버 IC 칩과의 접속 부분을 피해서 형성되어 있는 것을 특징으로 하는 액정 장치.

청구항 16.

제 14 항에 있어서,

상기 제 1 기판에 마련된 제 2 배선을 더 구비하고,

상기 드라이버 IC 칩은 상기 제 2 배선으로부터 입력 신호를 입력하는 입력측 범프를 포함하며,

상기 입력측 범프는 상기 제 2 배선에 접속되어 있고,

상기 제 2 배선은,

하지막, 상기 하지막 상에 형성되고 은을 포함하는 금속막, 상기 금속막에 적층됨과 동시에 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 포함하는 것을 특징으로 하는 액정 장치.

청구항 17.

제 16 항에 있어서,

상기 제 2 배선에 입력 신호를 공급하는 외부 회로 기판을 더 구비하고,

상기 금속막은 상기 외부 회로 기판과의 접속 부분을 피해서 형성되어 있는 것을 특징으로 하는 액정 장치.

청구항 18.

제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치에 있어서,

상기 제 1 기판에 마련된 배선을 갖고,

상기 배선은,

하지막, 상기 하지막 상에 형성된 금속막, 상기 금속막에 적층된 금속 산화물막을 포함하는 것을 특징으로 하는 액정 장치.

청구항 19.

제 18 항에 있어서,

상기 하지막은 금속 산화물을 포함하는 것을 특징으로 하는 액정 장치.

청구항 20.

제 18 항에 있어서,

상기 금속막은 은 단체, 또는 은을 포함하는 합금인 것을 특징으로 하는 액정 장치.

청구항 21.

제 18 항에 있어서,

상기 제 1 기판의 한 변측에 마련되고, 상기 제 2 기판과는 겹치지 않는 제 1 연장 영역(extending region)과,

상기 제 1 기판에 있고, 상기 한 변과 교차하는 변측에 마련되며, 상기 제 2 기판과는 겹치지 않는 제 2 연장 영역을 갖고,

상기 배선은 상기 제 1 연장 영역, 제 2 연장 영역의 쌍방에 걸쳐 마련되어 있는 것을 특징으로 하는 액정 장치.

청구항 22.

제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치에 있어서,

상기 제 1 기판에 마련된 하지막과,

상기 하지막에 형성되고, 은을 포함하는 반사성 도전막과,

상기 반사성 도전막에 적층됨과 동시에 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 포함하는 제 1 투명 전극과,

상기 제 2 기판에 마련된 제 2 투명 전극을 구비하되,

상기 제 1 투명 전극과 상기 제 2 투명 전극과의 교차 영역에 대응하여, 반투과부가 마련되어 있는 것을 특징으로 하는 액정 장치.

청구항 23.

제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치에 있어서,

상기 제 1 기판에 마련된 하지막과,

상기 하지막에 형성되고, 은을 포함하는 반사성 도전막과,

상기 반사성 도전막에 적층됨과 동시에 에지 부분이 상기 하지막과 접하도록 패터닝된 금속 산화물막을 포함하는 제 1 투명 전극과,

상기 제 2 기판에 마련된 제 2 투명 전극을 구비하되,

상기 제 1 투명 전극과 상기 제 2 투명 전극과의 교차 영역에 대응하여, 착색층이 마련되어 있는 것을 특징으로 하는 액정 장치.

청구항 24.

제 1 기판과 제 2 기판이 대향하여 배치되고, 상기 제 1 기판과 상기 제 2 기판과의 간극에 액정이 봉입된 액정 장치의 제조 방법에 있어서,

상기 제 1 기판에 하지막을 형성하는 공정과,

은을 포함하는 반사성 도전막을 상기 하지막 상에 형성하는 공정과,

상기 반사성 도전막에 에지 부분이 상기 하지막과 접하도록 금속 산화물막을 형성하는 공정

을 구비하는 것을 특징으로 하는 액정 장치의 제조 방법.

청구항 25.

제 24 항에 있어서,

상기 하지막으로서 금속 산화물을 형성하는 것을 특징으로 하는 액정 장치의 제조 방법.

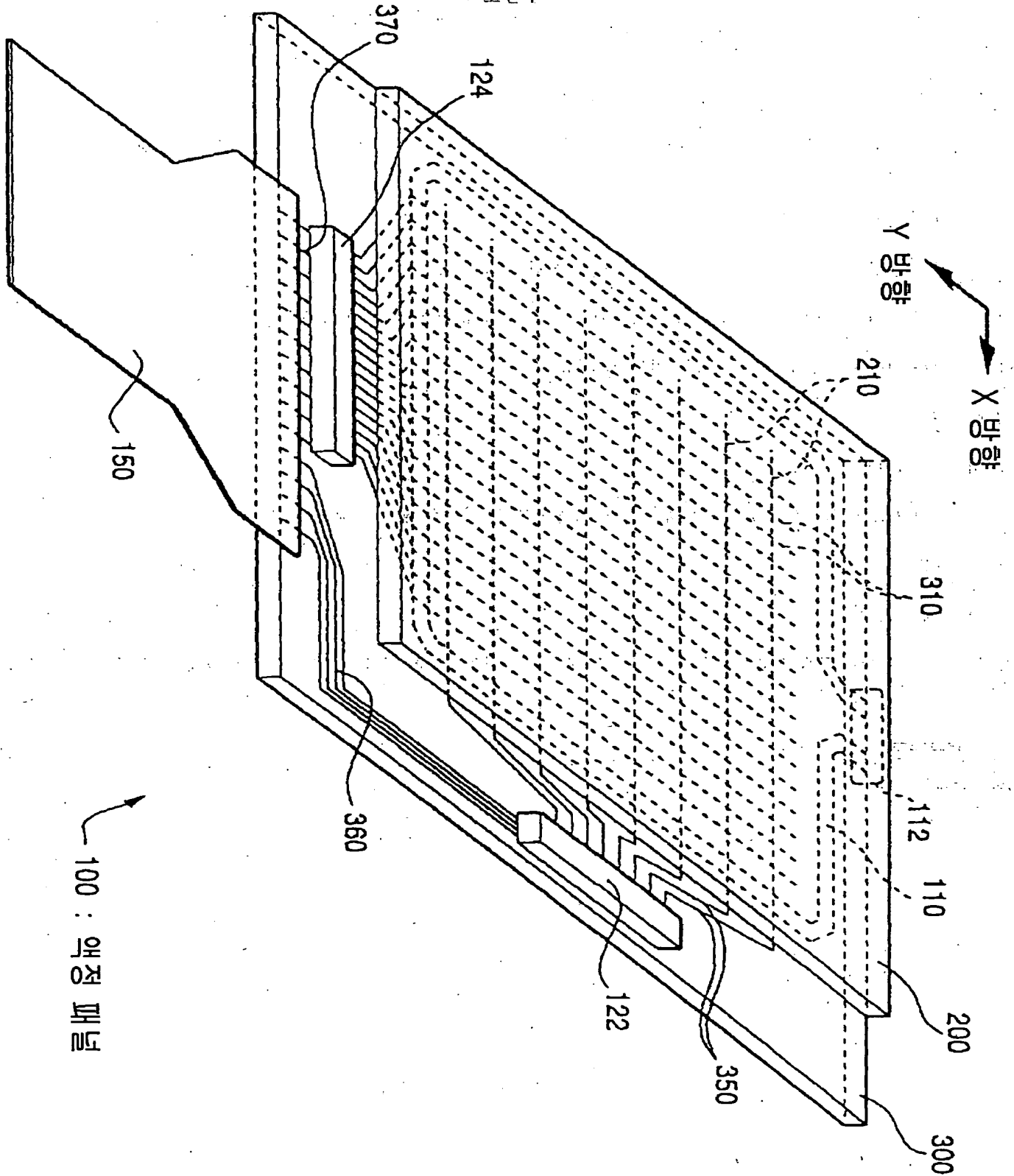
청구항 26.

제 24 항에 있어서,


상기 하지막 및 상기 금속 산화물막을 동시에 패터닝하는 공정을 더 구비하는 것을 특징으로 하는 액정 장치의 제조 방법.

도면

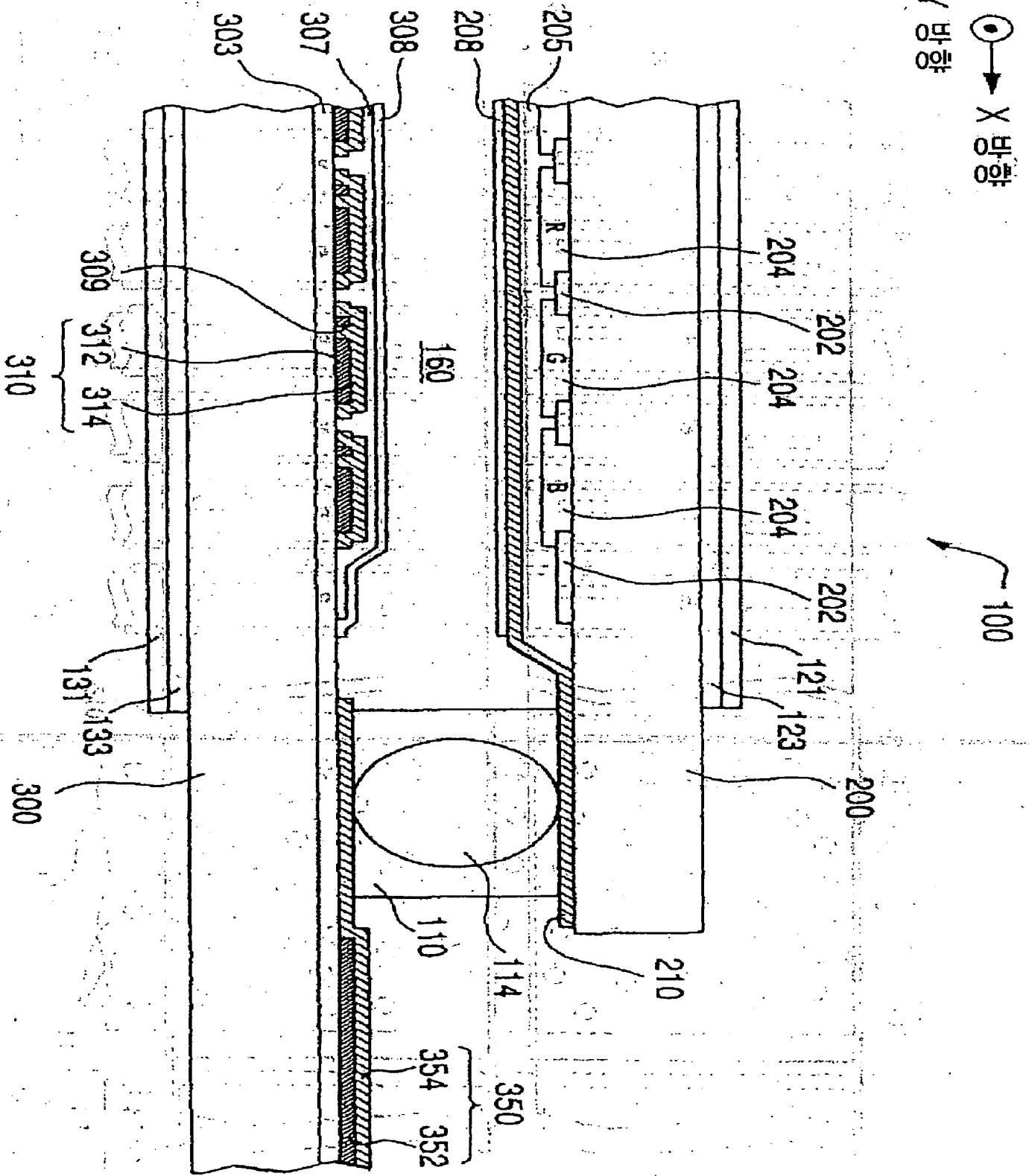
도면 1



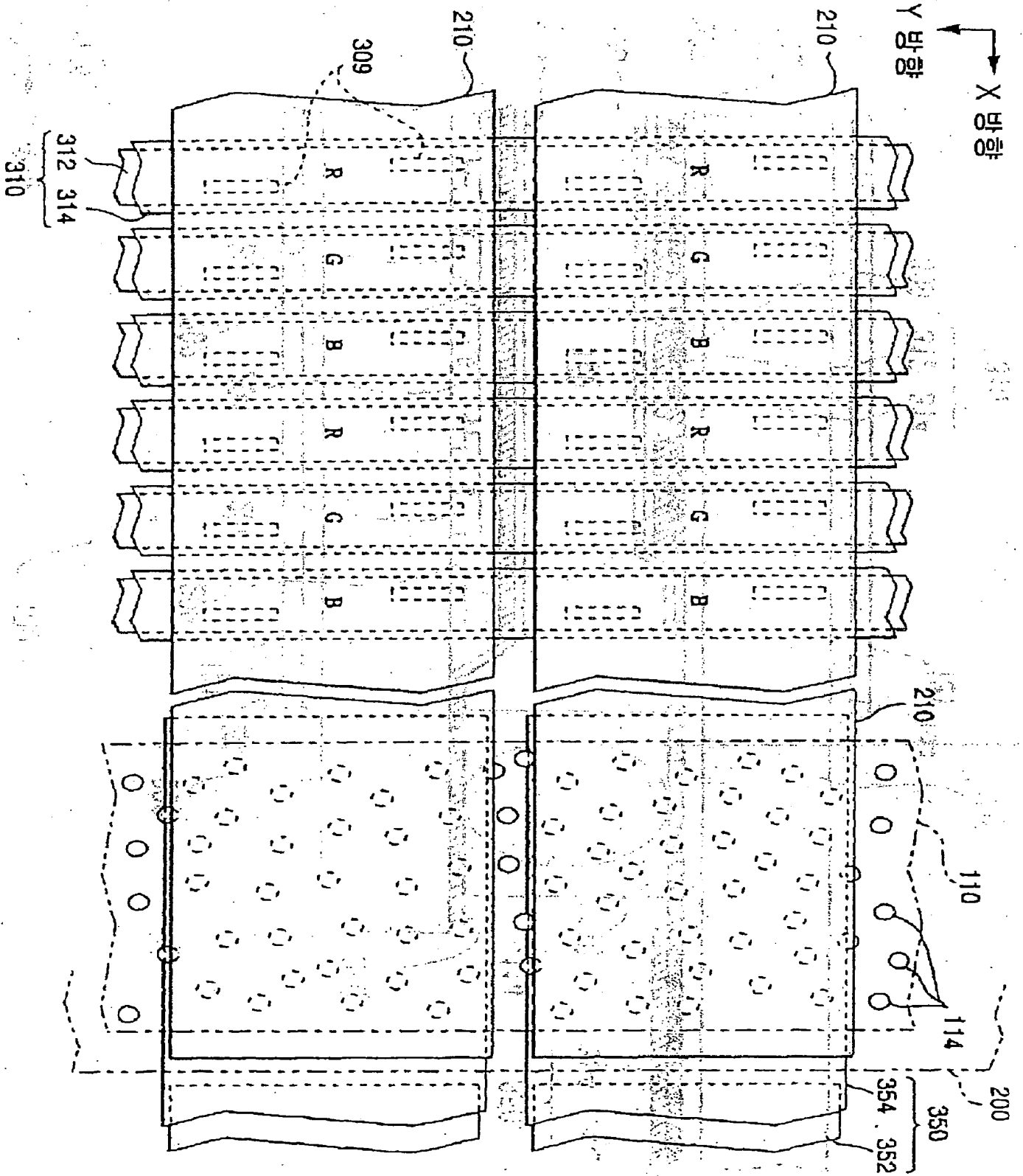
도면 2



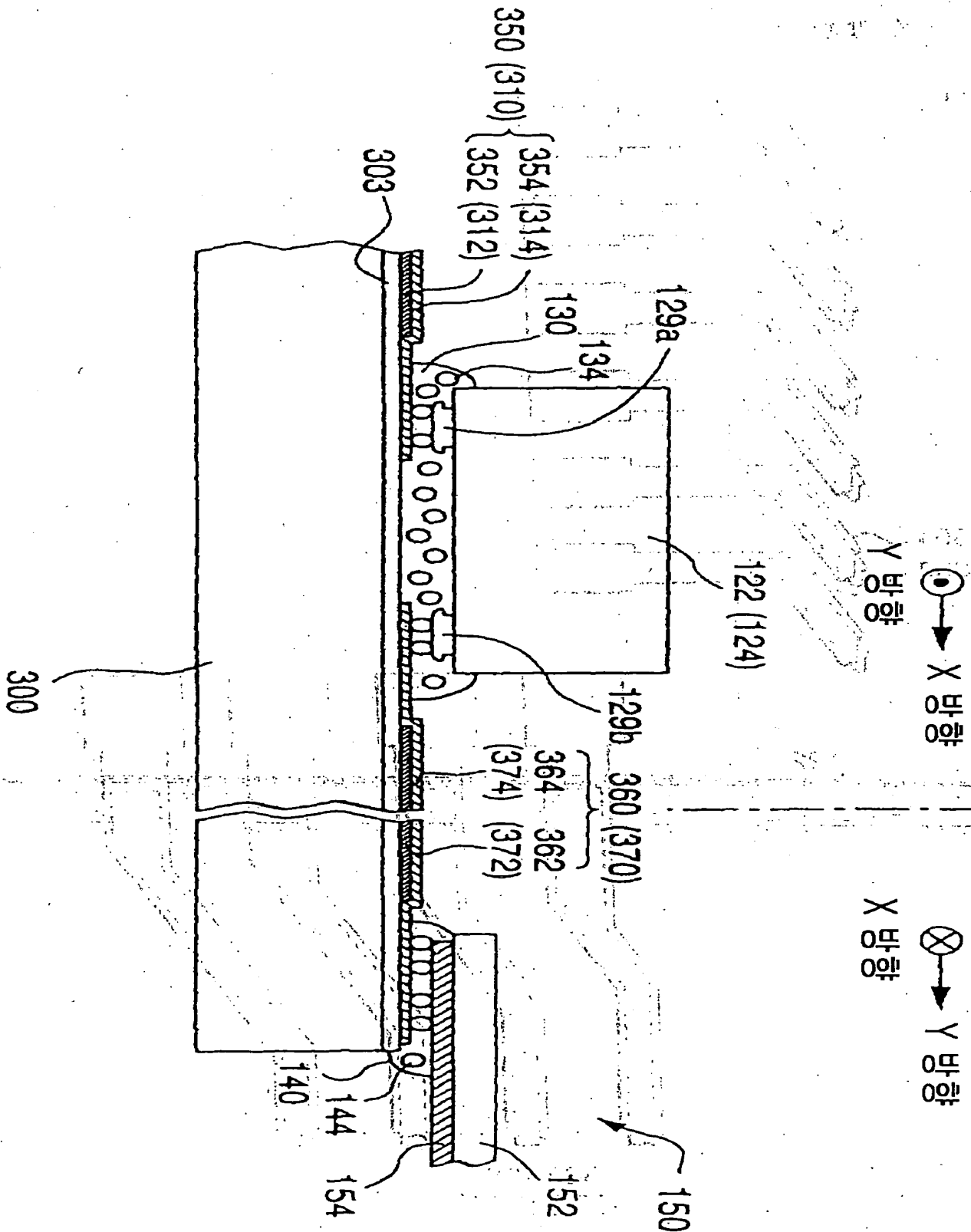
 X 방향
 Y 방향



도면 3

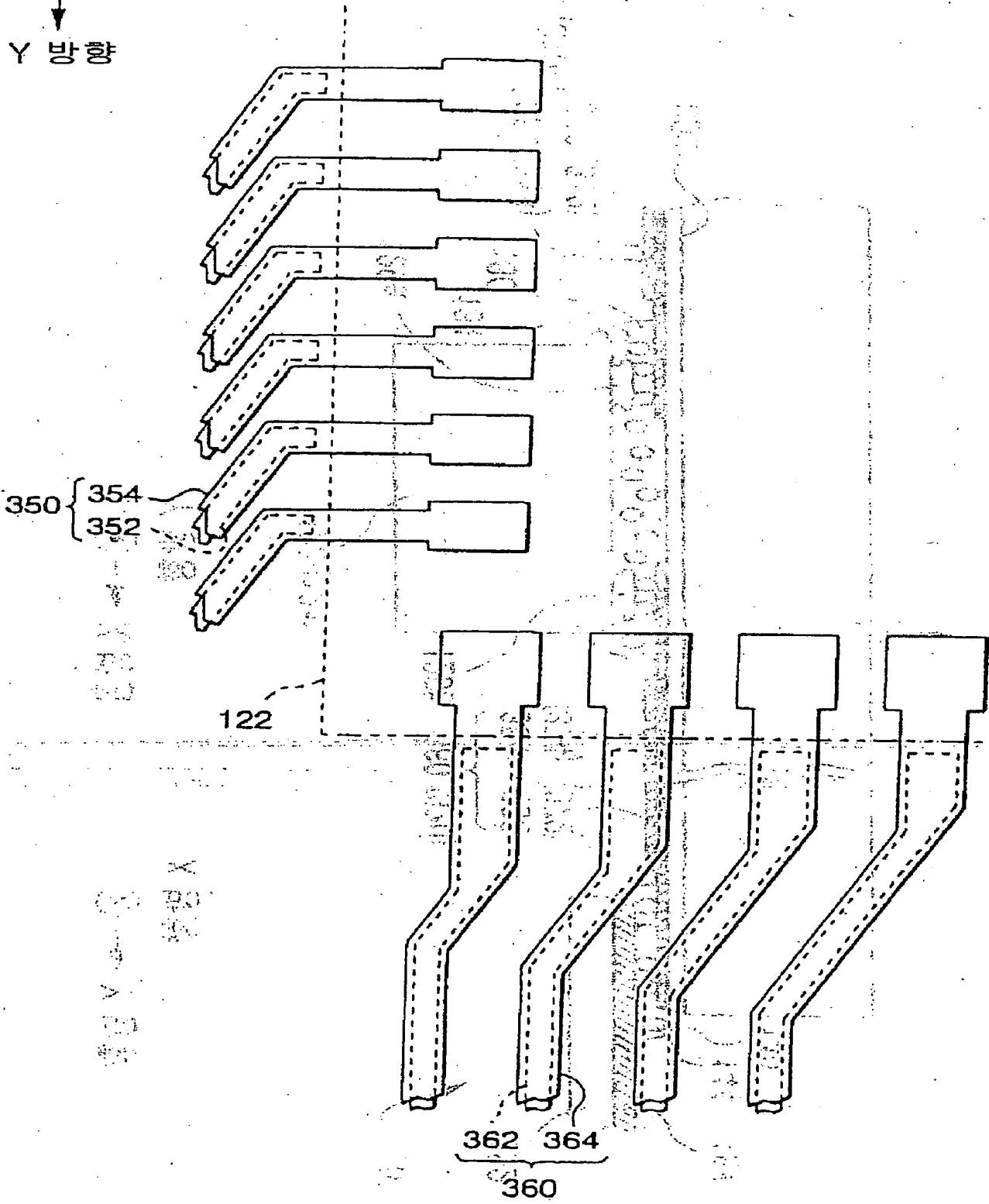


도면 4



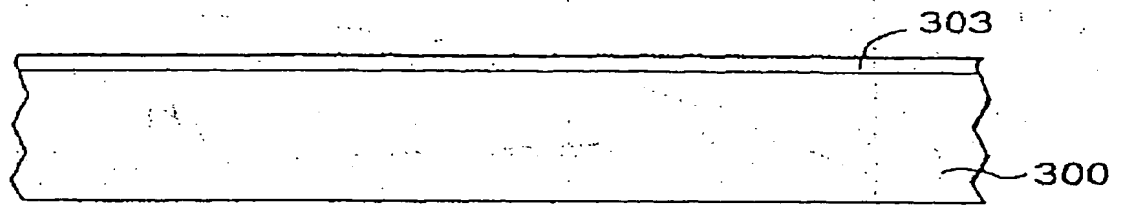
도면 5

X 방향
Y 방향

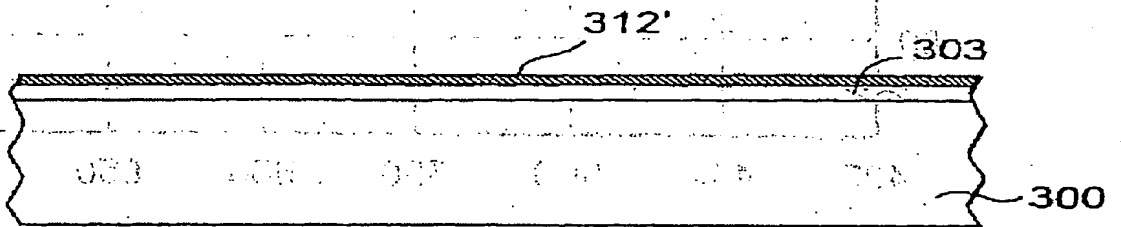


도면 6

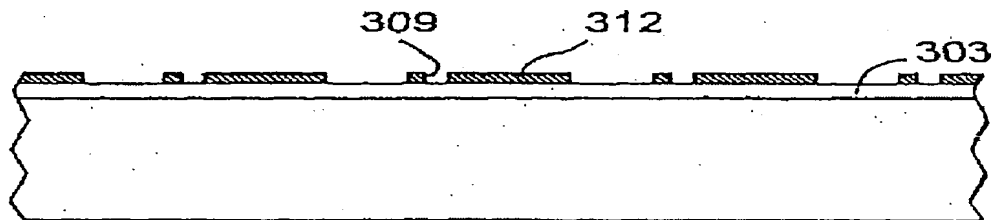
(a)



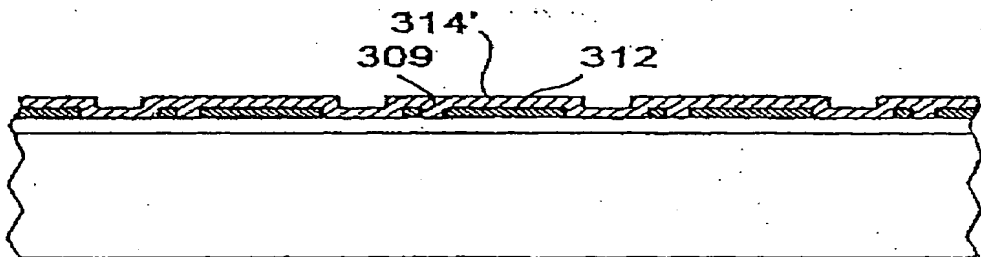
(b)



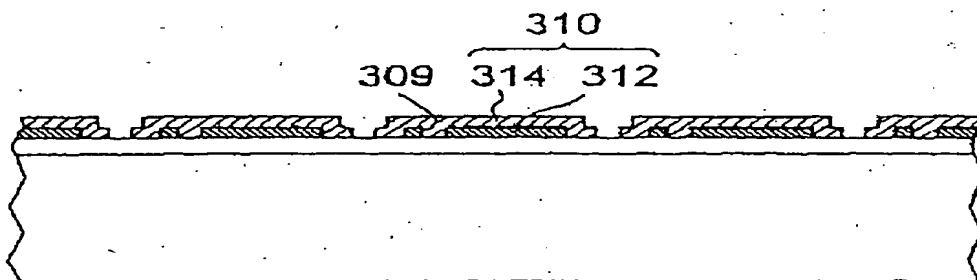
(c)



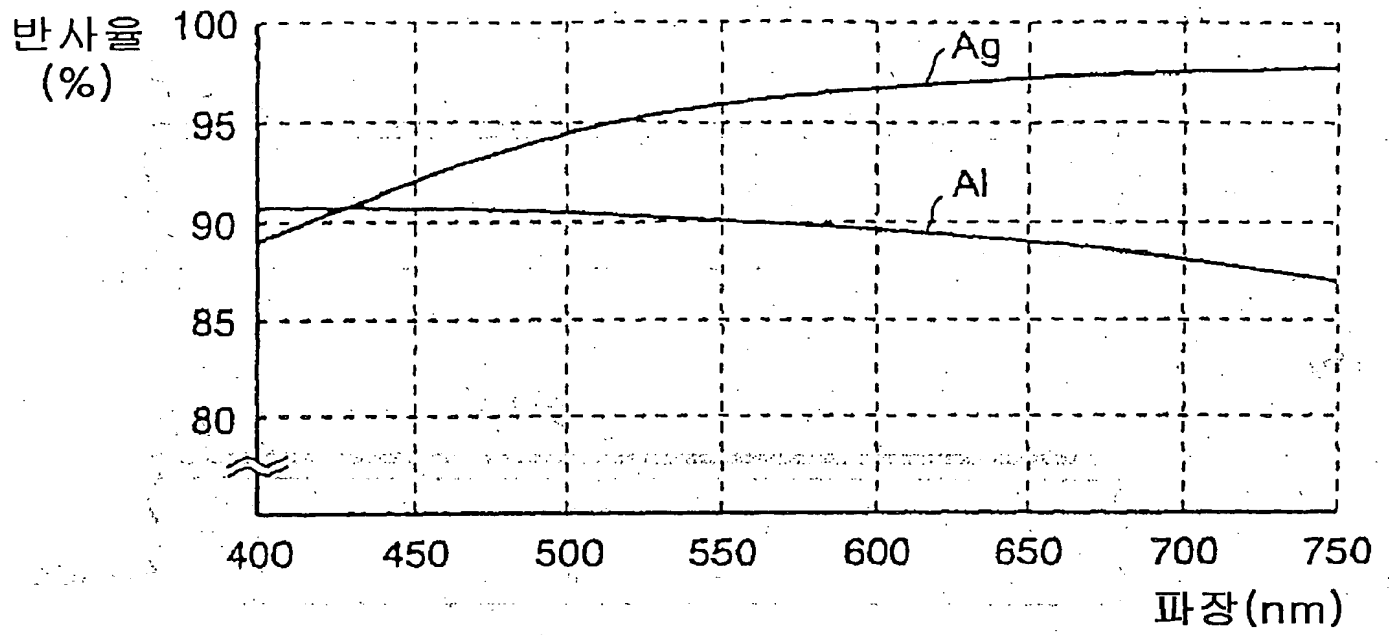
(d)



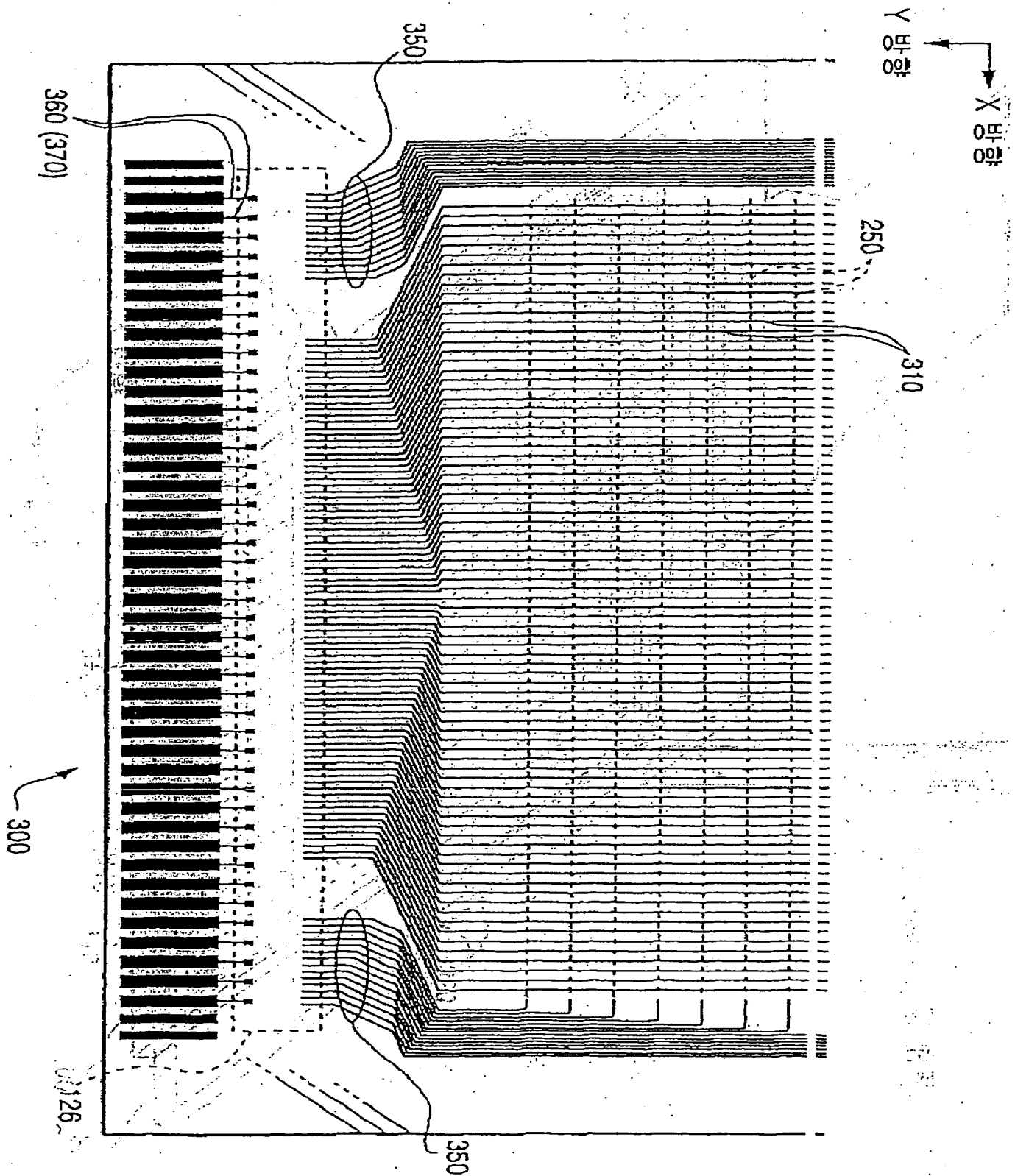
(e)



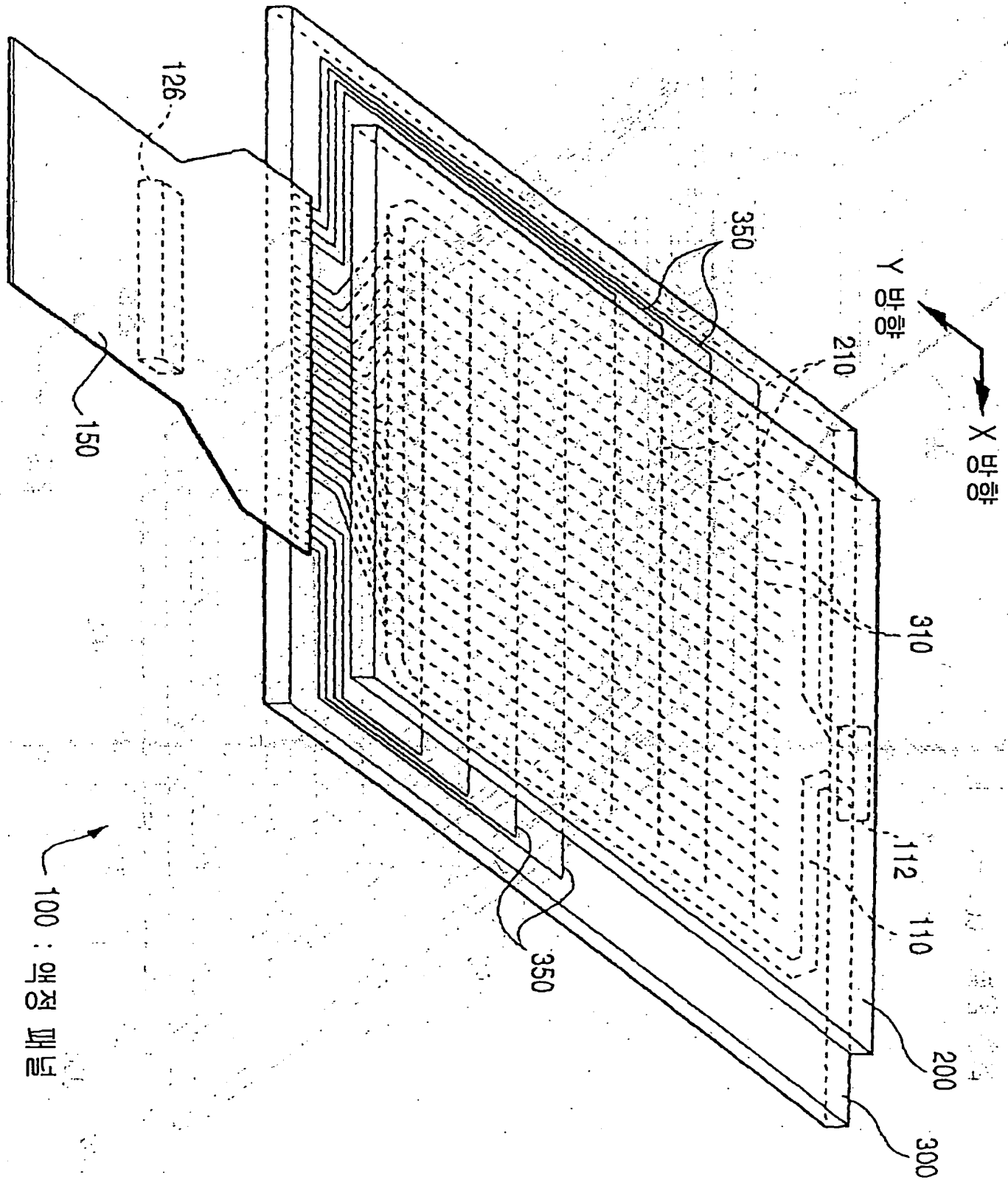
도면 7



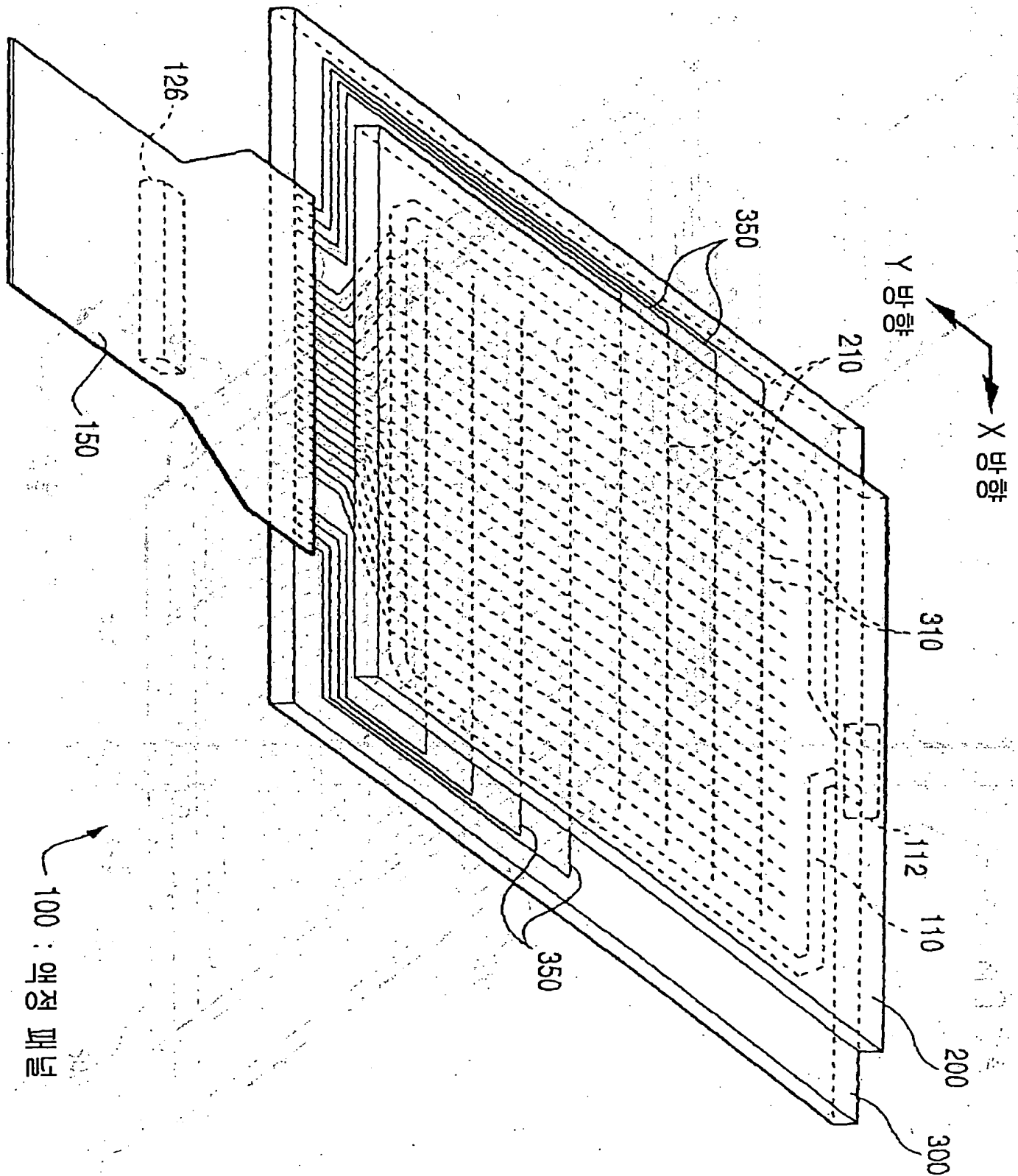
도면 9



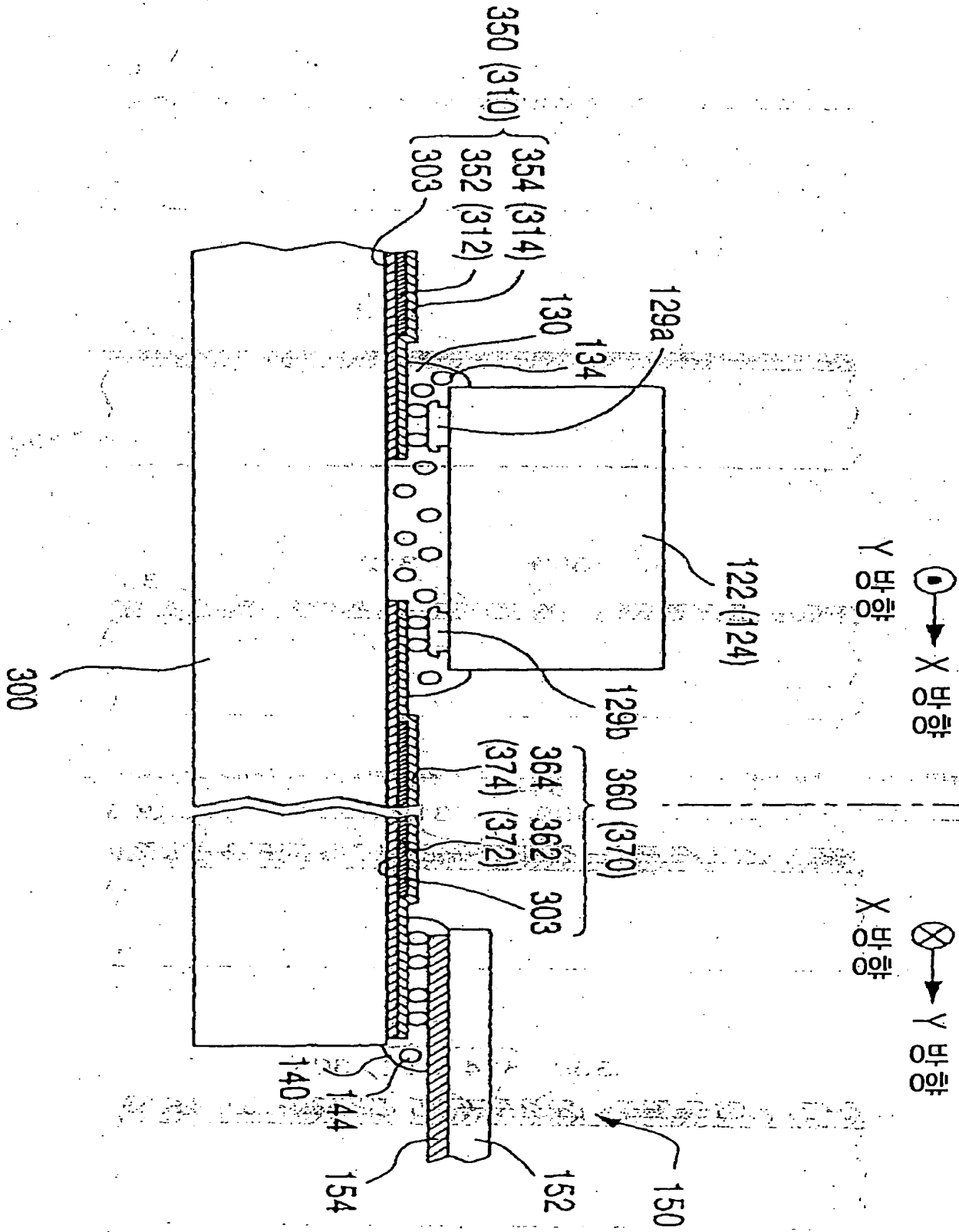
도면 10



도면 11

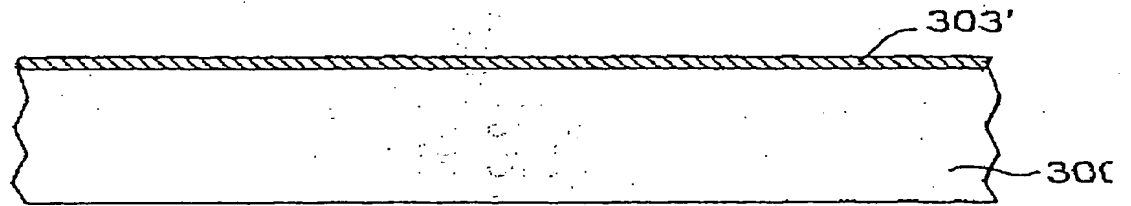


도면 12

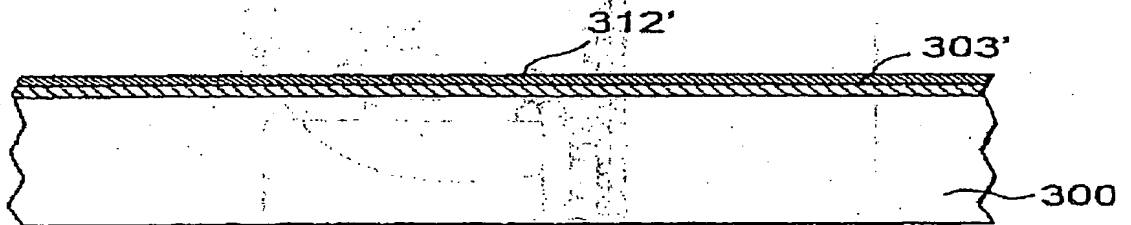


도면 13

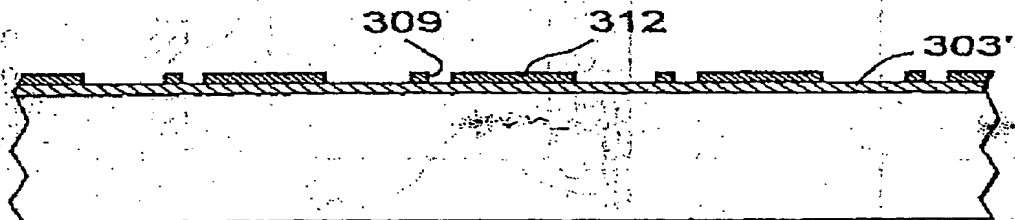
(a)



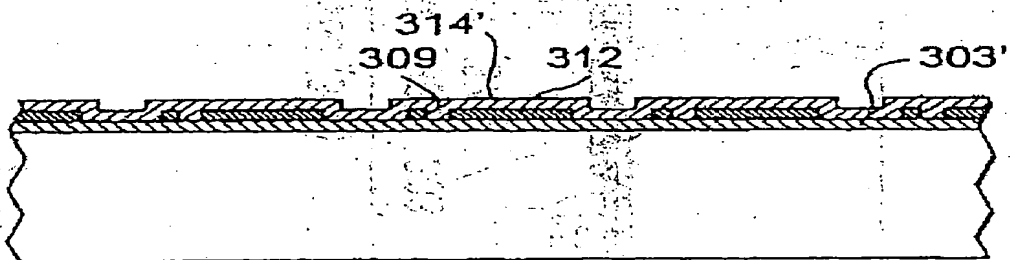
(b)



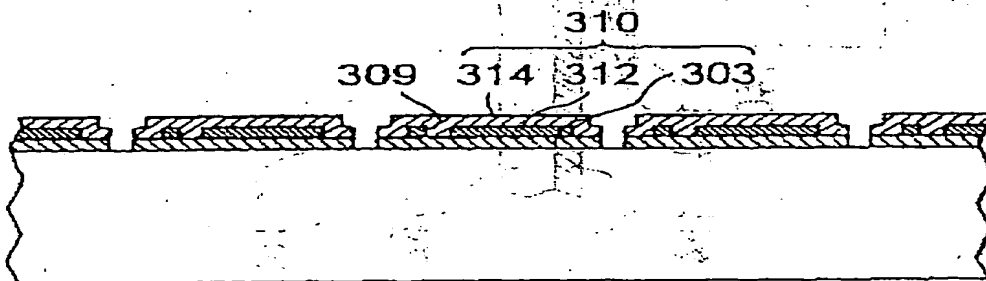
(c)



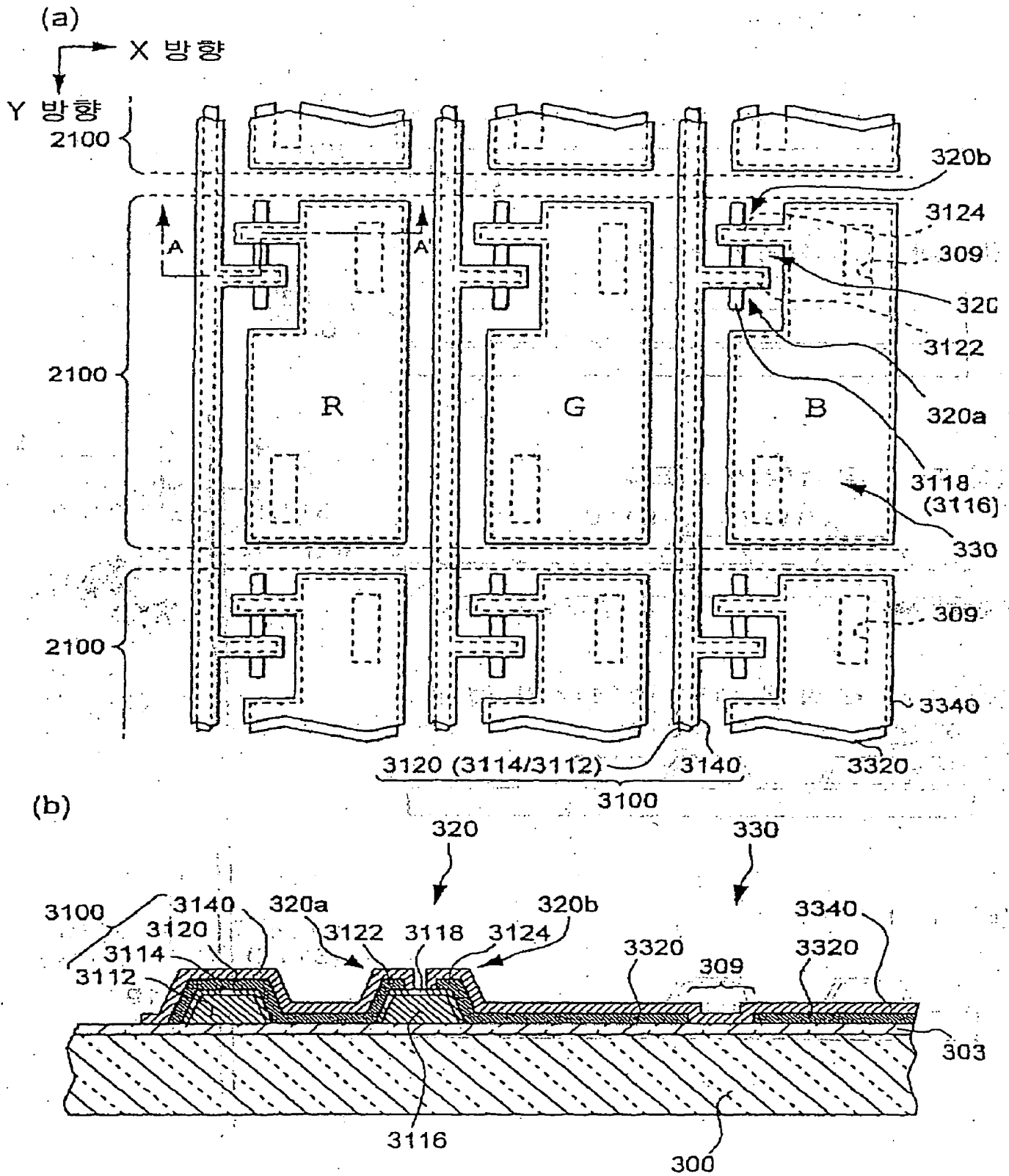
(d)



(e)

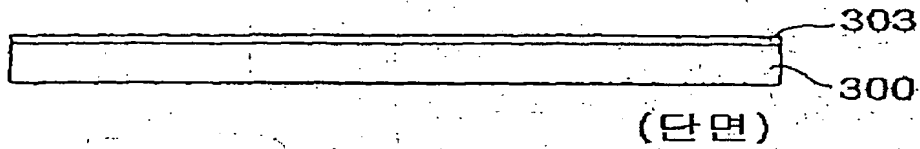


도면 14

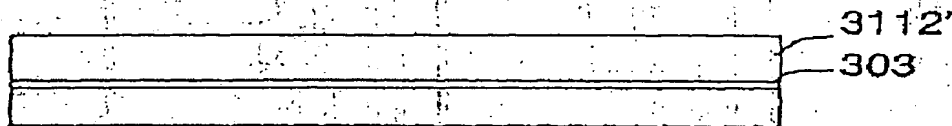


도면 15

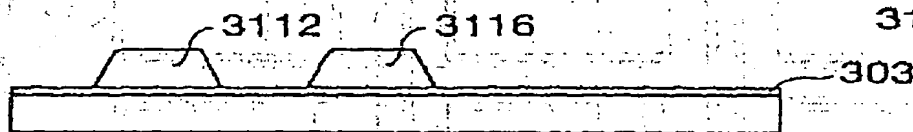
(a) 하지막의 성막



(b) 제 1 금속막의 성막



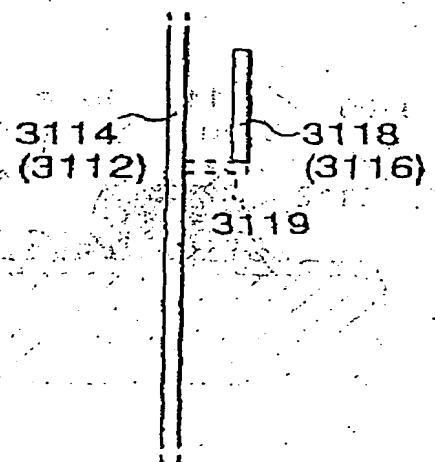
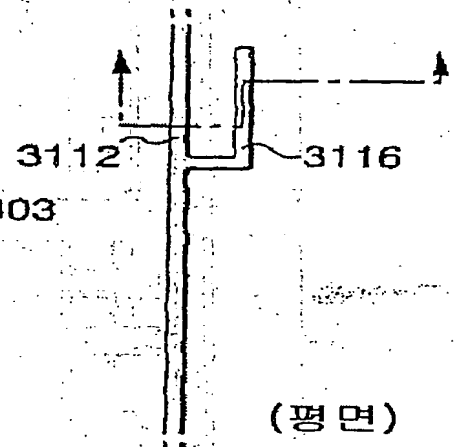
(c) 제 1 금속막의 패터닝



(d) 양극 산화에 의한 절연막의 형성

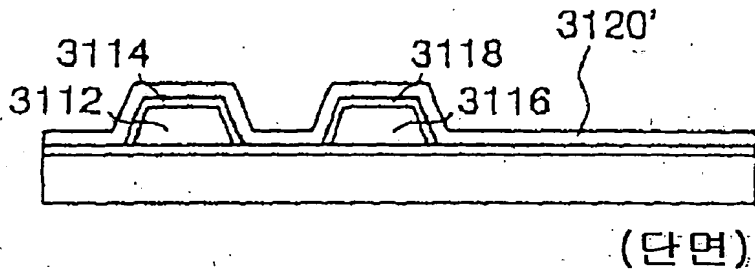


(e) 소자 분리

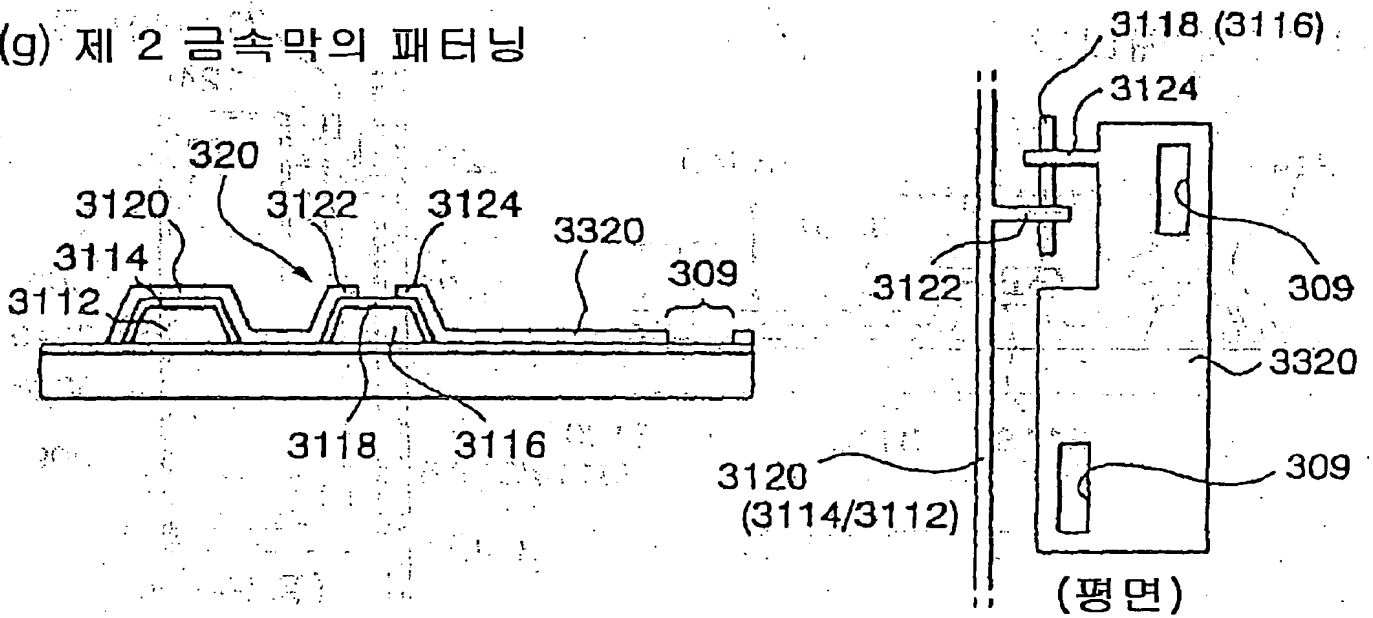


도면 16

(f) 제 2 금속막(은합금)의 성막

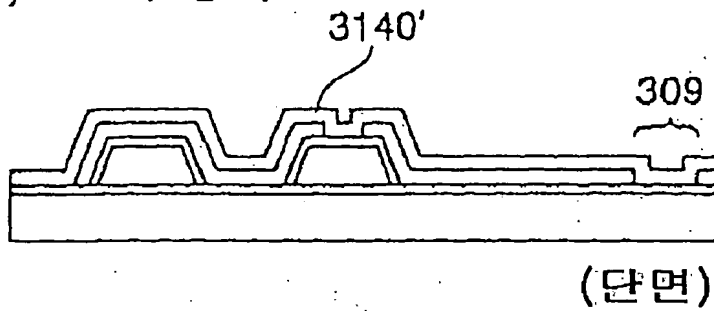


(g) 제 2 금속막의 패터닝

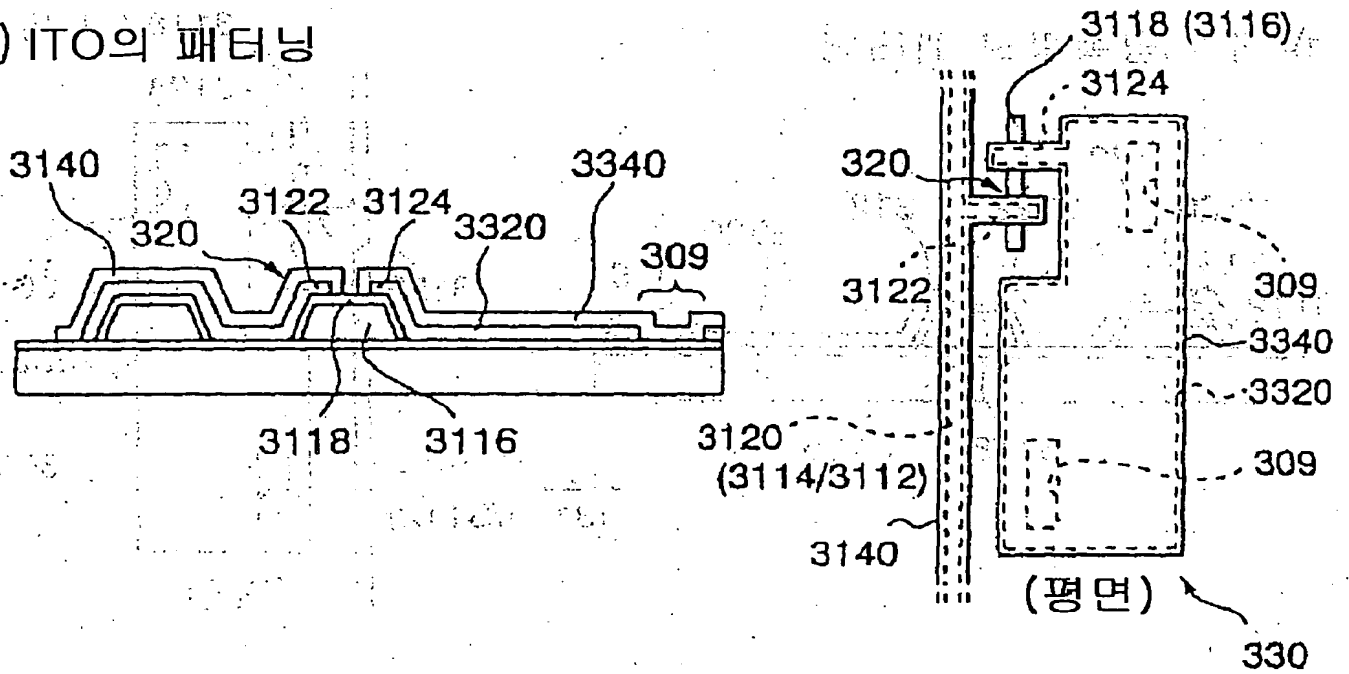


도면 17

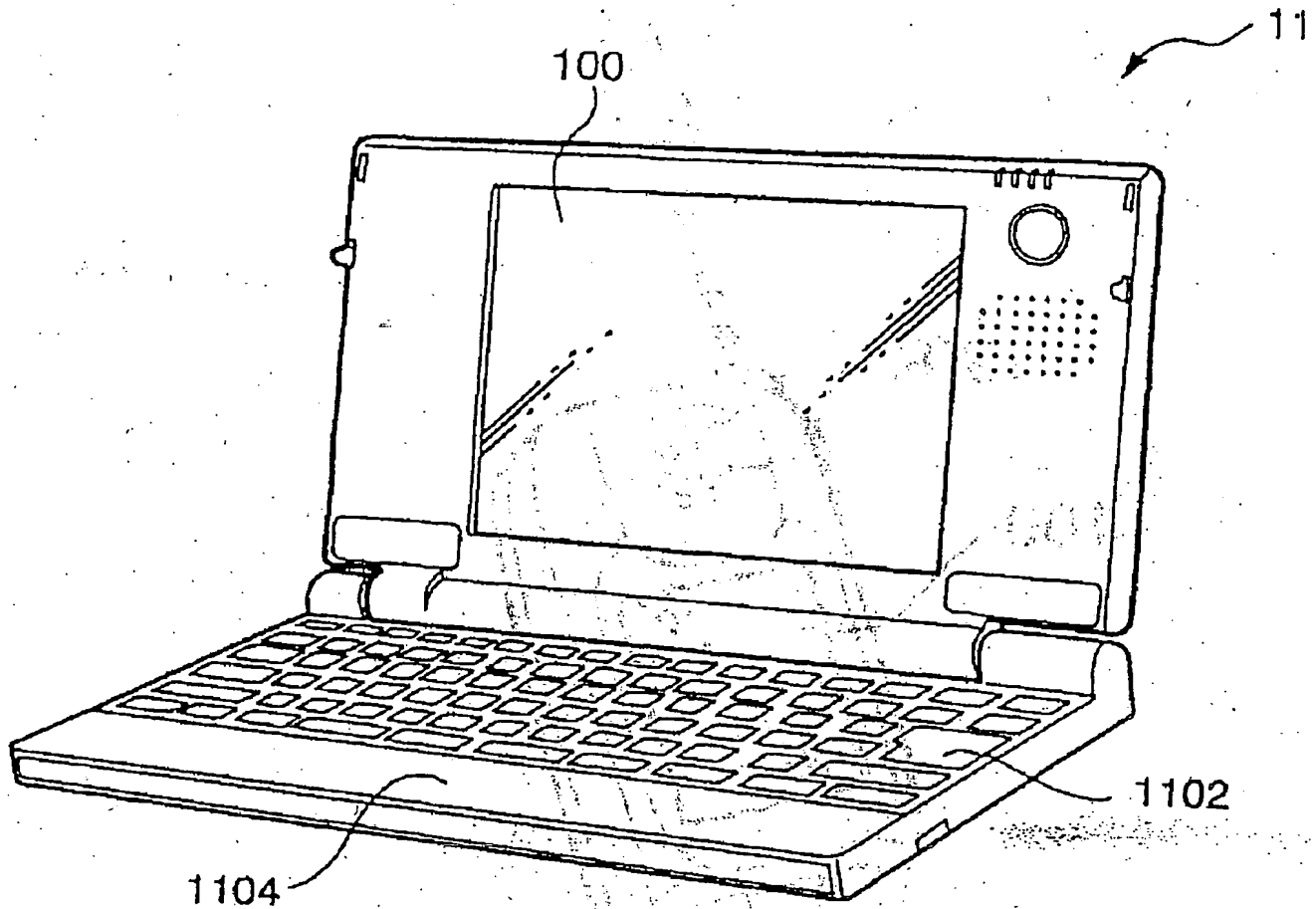
(h) ITO의 성막



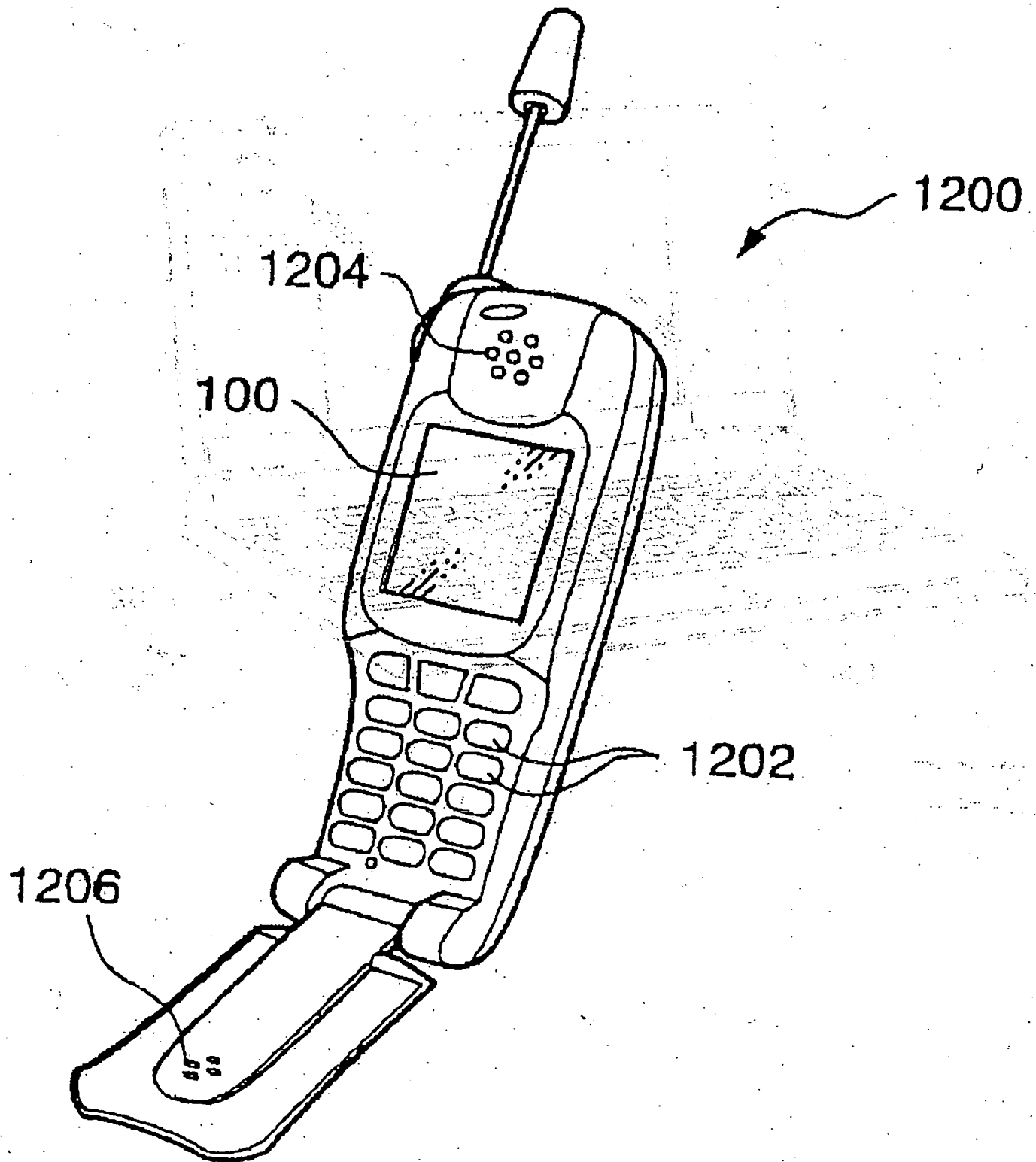
(i) ITO의 패터닝



도면 18



도면 19



도면 20

